

ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ - ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 9

ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

Σκοπός: Η μελέτη της λειτουργίας των απαριθμητών. Υλοποίηση ασύγχρονου απαριθμητή 4-bit με χρήση JK Flip-Flop. Κατανόηση της αλλαγής του υπολοίπου διαίρεσης (modulo) του απαριθμητή.

9.1 Θεωρητική εισαγωγή

9.1.1 Απαριθμητές

Ο απαριθμητής (counter) είναι ένα ακολουθιακό κύκλωμα το οποίο στην έξοδό του απαριθμεί τους ωρολογιακούς παλμούς που λαμβάνει στην είσοδο. Ένας απαριθμητής δοαθέτει μία είσοδο ωρολογιακών παλμών και έξοδο n -bits, ώστε μπορεί να απαριθμήσει 2^n καταστάσεις. Έστω, για παράδειγμα ότι η έξοδος είναι 4-bits, από Q_0 έως Q_3 . Ο απαριθμητής μπορεί να μετρήσει από 0000 (δηλαδή 0 στο δεκαδικό) μέχρι 1111 (δηλαδή 15 στο δεκαδικό). Συνολικά, απαριθμεί δεκαέξι καταστάσεις. Στον επόμενο ωρολογιακό παλμό μετά την κατάσταση 1111, ο απαριθμητής υπερχειλίζει και η έξοδος του επιστρέφει αυτόματα στο μηδέν. Στη συνέχεια, επαναλαμβάνει την απαρίθμηση. Ένας απαριθμητής είναι δυνατό να μετρά και ανάποδα, δηλαδή προς τα κάτω, οπότε λέγεται φθίνων απαριθμητής (down counter).

Αντίστοιχα με τα παραπάνω, αν ο απαριθμητής έχει 8-bits στην έξοδο (Q_0 έως Q_7), τότε μπορεί να απαριθμήσει 256 καταστάσεις, από 0 έως 255. Στον Πίνακα 9.1 φαίνεται η ακολουθία μέτρησης ενός αύξοντα απαριθμητή 4-bit.

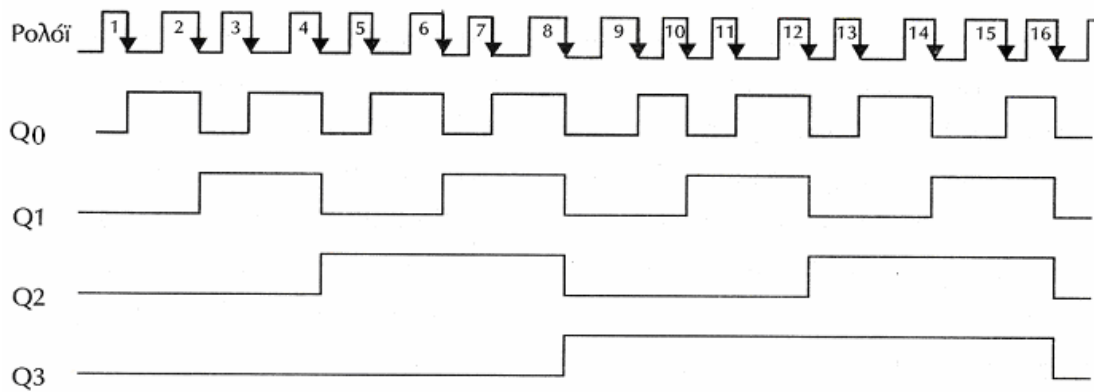
Q_3	Q_2	Q_1	Q_0	cl
0	0	0	0	↑
0	0	0	1	↑
0	0	1	0	↑
0	0	1	1	↑
0	1	0	0	↑
0	1	0	1	↑
0	1	1	0	↑
...				...
1	1	1	1	↑
0	0	0	0	↑

Πίνακας 9.1 Δυαδική ακολουθία μέτρησης ενός απαριθμητή 4-bit

Όπως μπορεί να δει κανείς αν καταγράψει τις διαδοχικές μεταβολές των εξόδων, η περίοδος της εξόδου Q_0 είναι διπλάσια της περιόδου του ωρολογιακού παλμού T_{cl} , η περίοδος της εξόδου Q_1 είναι τετραπλάσια, ενώ και οι άλλες εξοδοί έχουν περίοδο ακέραιο πολλαπλάσιο της T_{cl} (Σχήμα 9.1).

Μια οποιαδήποτε έξοδος Q_n του απαριθμητή μεταβάλλεται με περίοδο:

$$T_{Q_n} = T_{cl} \times 2^{n+1}$$

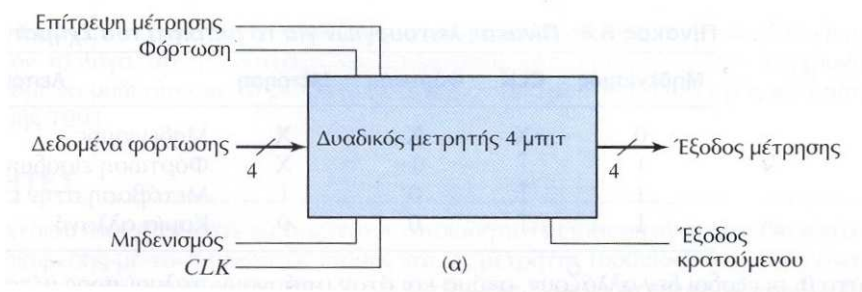


Σχήμα 9.1 Κυματομορφές των εξόδων Q0 έως Q3, καθώς το σύστημα δέχεται διαδοχικούς παλμούς ρολογιού.

Η συχνότητα f των παλμών 0 και 1 στην έξοδο Q_n είναι

$$f_{Q_n} = 1/(T_{cl} \times 2^{n+1})$$

Το διάγραμμα βαθμίδας ενός απαριθμητή φαίνεται στο Σχήμα 9.2. Παρατηρούμε ότι εκτός από την είσοδο του ωρολογιακού παλμού, ο απαριθμητής μπορεί να φέρει και επιπλέον εισόδους. Μία βασική τέτοια είσοδος είναι η είσοδος μηδενισμού (reset). Όταν η είσοδος αυτή καθίσταται ενεργή, τότε η έξοδος του απαριθμητή επιστρέφει στο μηδέν, ανεξάρτητα από την κατάσταση στην οποία βρίσκεται το κύκλωμα. Μια άλλη είσοδος που απαντάται στους απαριθμητές είναι η είσοδος Enable (επίτρεψης ή ενεργοποίησης). Όσο η είσοδος Enable είναι ενεργή, ο απαριθμητής μεταβάλλει την είσοδό του κανονικά, απαριθμώντας προς τα πάνω (up counter) ή προς τα κάτω (down counter). Όταν η είσοδος enable καταστεί ανενεργή, τότε ο απαριθμητής διακόπτει την απαρίθμηση και παγώνει στην τελευταία κατάσταση, ακόμη κι αν συνεχίσει να δέχεται παλμούς ρολογιού. Η είσοδοι μηδενισμού και ενεργοποίησης μπορεί να είναι ενεργές με low (active low) ή με high (active high), ανάλογα με τον κατασκευαστή. Επίσης, η είσοδος ρολογιού μπορεί να είναι ενεργή με low ή με high,



Σχήμα 9.2 Διάγραμμα βαθμίδας βασικού απαριθμητή, με εισόδους επίτρεψης και μηδενισμού. Ο απαριθμητής δέχεται είσοδο αρχικής φόρτωσης (LOAD).

οπότε η μεταβολή της εξόδου γίνεται με το αρνητικό ή με το θετικό μέτωπο του ωρολογιακού παλμού, αντίστοιχα. Η έξοδος κρατουμένου γίνεται μονάδα όταν όλες οι έξοδοι των FF είναι 1.

Αν ο μετρητής είναι σχεδιασμένος ώστε να μετρά και προς τα πάνω και προς τα κάτω, τότε λέγεται αμφίδρομος απαριθμητής (up-down counter). Για την επιλογή της κατεύθυνσης της απαρίθμησης, ο απαριθμητής αυτός θα φέρει ειδική είσοδο (UP/DOWN).

Σε ορισμένες περιπτώσεις, ένας απαριθμητής μπορεί να φορτωθεί με μια αρχική κατάσταση, οπότε η απαρίθμηση ξεκινά από την κατάσταση αυτή. Για το σκοπό αυτό ο απαριθμητής πρέπει να φέρει ειδική είσοδο φόρτωσης (LOAD).

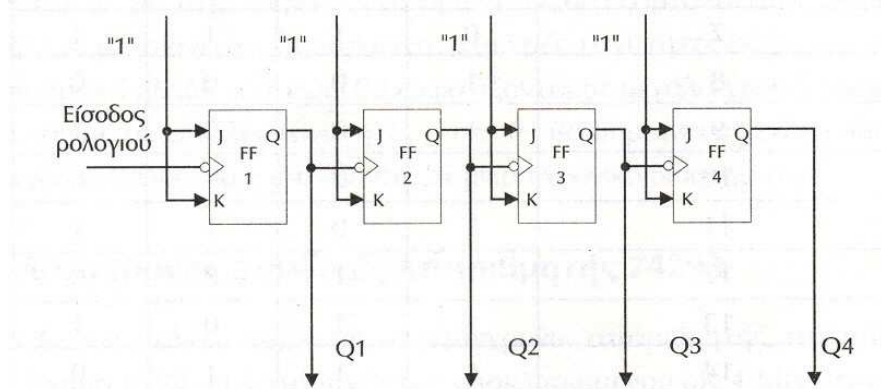
Οι απαριθμητές υλοποιούνται με δισταθή κυκλώματα τύπου Flip-Flop (FF), όπως είναι το T, το D και το JK Flip-Flop. Διακρίνονται σε σύγχρονους και ασύγχρονους απαριθμητές ή αλλιώς απαριθμητές ριπής (ripple counters). Παρακάτω θα παρουσιαστούν συνοπτικά τα δύο είδη απαριθμητών.

9.1.3 Ασύγχρονοι απαριθμητές

Οι ασύγχρονοι απαριθμητές υλοποιούνται ως μια σειριακή διασύνδεση Flip-Flop, όπου η έξοδος κάθε προηγούμενου FF τροφοδοτεί την είσοδο ρολογιού του επόμενου FF. Ο ωρολογιακός παλμός που οδηγεί την ακολουθία των εξόδων εφαρμόζεται στην είσοδο ρολογιού του πρώτου στη σειρά FF, η έξοδος του οποίου αντιστοιχεί στο ελάχιστο σημαντικό bit (LSB) του απαριθμητή. Μια υλοποίηση ασύγχρονου μετρητή με T FF φαίνεται στο Σχήμα 9.3. Το T-FF δημιουργείται από το JK-FF, όπου $J=K=1$. Όπως φαίνεται στο σχήμα, η είσοδος ρολογιού είναι ενεργή με το αρνητικό μέτωπο του ωρολογιακού παλμού. Κάθε φορά που ένα FF δέχεται τη μετάβαση από 1 σε 0 στην είσοδο clock, η έξοδος του «συμπληρώνεται», δηλαδή αλλάζει κατάσταση. Ως αποτέλεσμα, οι έξοδοι του συστήματος ακολουθούν τη διαδοχή του Πίνακα 9.1.

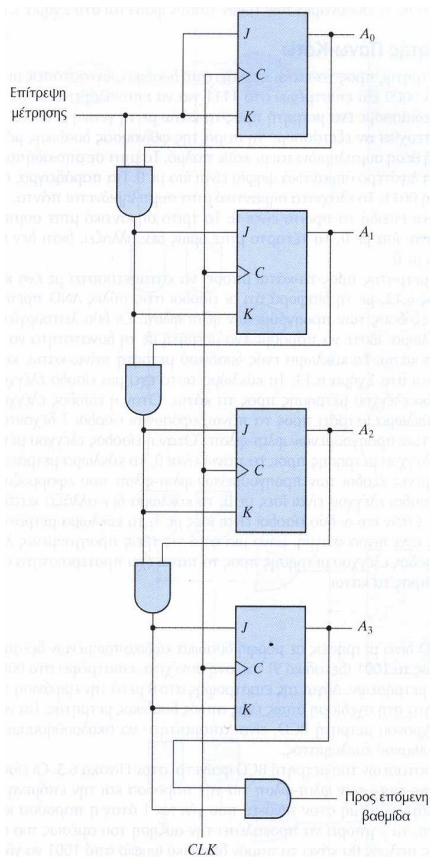
9.1.4 Σύγχρονοι απαριθμητές

Στους σύγχρονους απαριθμητές οι ωρολογιακοί παλμοί εφαρμόζονται στις εισόδους όλων των FF ταυτόχρονα (Σχήμα 9.4). Η έξοδος κάθε FF καθορίζεται από τις τιμές των εισόδων J-K σε κάθε παλμό CLK.



Σχήμα 9.3 Δυαδικός απαριθμητής ριπής 4-bit, με JK Flip-Flop σε λειτουργία T-FF

9.1.5 Αλλαγή του modulo ενός απαριθμητή

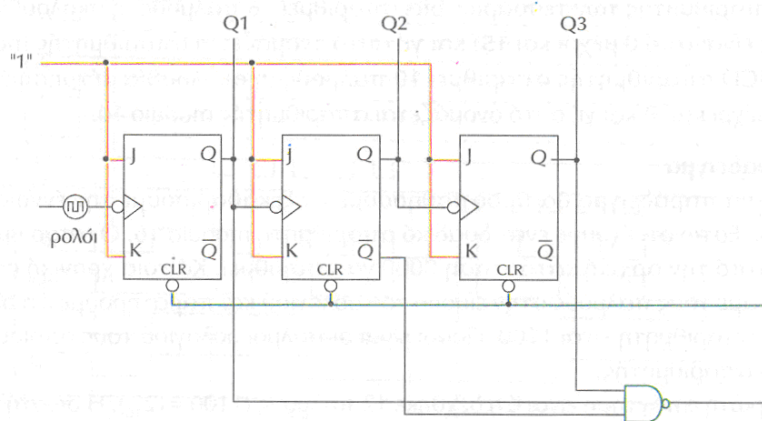


Σχήμα 9.4 Σύγχρονος απαριθμητής 4-bit με JK FF.

Οι απαριθμητές που παρουσιάστηκαν απαριθμούν 2^n παλμούς, όπου n ο αριθμός των εξόδων, και η ακολουθία μέτρησης είναι από 0 έως $2^n - 1$. Ωστόσο, είναι δυνατό να αλλάξουμε τον μέγιστο αριθμό καταστάσεων που απαριθμεί ο μετρητής.

Το παρακάτω Σχήμα 9.5 δείχνει πως μπορούμε να αλλάξουμε τον μέγιστο αριθμό παλμών που απαριθμεί ένας απαριθμητής, πριν μηδενιστεί. Χωρίς την πύλη NAND, ο απαριθμητής μετρά από το 000 μέχρι το 111. Όταν όμως η πύλη NAND λάβει στην είσοδο 111, δηλαδή όταν οι εξοδοί Q των FF γίνουν 101 (προσέξτε πως συνδέονται οι εξοδοί στην NAND), τότε η έξοδος της NAND γίνεται μηδέν και μηδενίζει τον απαριθμητή επιδρώντας στις εισόδους CLEAR των FF. Άρα, αυτός ο απαριθμητής μετρά μέχρι το 101 (δηλαδή το 5) μέχρι να μηδενιστεί ξανά. Λέγεται λοιπόν απαριθμητής modulo 5.

Με ανάλογο τρόπο μπορούμε να σχεδιάσουμε έναν απαριθμητή ώστε αυτός να απαριθμεί 12 καταστάσεις. Θα χρειαστούμε τέσσερα FF και μια NAND κατάλληλα συνδεδεμένη, ώστε να επιστρέφει τον απαριθμητή στο 0 όταν η έξοδος ισούται με 1100.

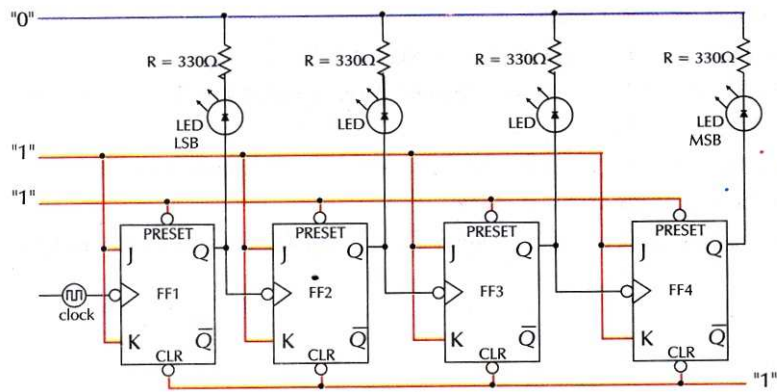


Σχήμα 9.5 Αλλαγή του modulo δυαδικού απαριθμητή (up-counter) από 8 σε 5

9.2 Εργαστηριακό μέρος

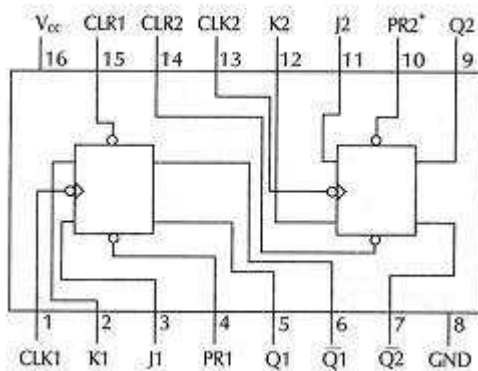
9.2.1 Ασύγχρονος απαριθμητής 4-bit

Να υλοποιήσετε το παρακάτω κύκλωμα απαριθμητή 4-bit κάνοντας χρήση του ολοκληρωμένου κυκλώματος 74112, που περιέχει δύο JK Flip-Flops (Σχήμα 9.6). Θα χρειαστείτε δύο τέτοια Ο.Κ. Συνδέστε τα LEDs στις εξόδους, όπως φαίνονται στο διάγραμμα.



Σχήμα 9.6 Ασύγχρονος απαριθμητής 4-bit με JK-FF

Να κάνετε χρήση του διαγράμματος ακροδεκτών του ολοκληρωμένου κυκλώματος 74112, όπως φαίνεται στο Σχήμα 9.7. Να σημειώσετε τους αριθμούς ακροδεκτών, ώστε να μην κάνετε κάποιο λάθος στις συνδέσεις.



Σχήμα 9.7 Διάγραμμα ακροδεκτών του ΟΚ 74112

Συμπληρώστε τον παρακάτω πίνακα καταγράφοντας την ακολουθία μέτρησης του απαριθμητή.

Παλμός ρολογιού	Έξοδοι flip-flops			
	Q3	Q2	Q1	Q0
Αρχική κατάσταση	0	0	0	0
1				

2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

9.2.2 Αλλαγή του modulo απαριθμητή

Στο παραπάνω κύκλωμα να συνδέσετε μια πύλη NAND, ώστε να μετατρέψετε τον απαριθμητή από mod-16 σε mod-12. Να συζητήσετε στην τάξη τον πιο οικονομικό τρόπο για να υλοποιήσετε το κύκλωμα, καθώς και πιθανές παραλλαγές. Να σχεδιάσετε το κυκλωματικό διάγραμμα.

