

ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ - ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 6

ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΚΑΙ ΠΟΛΥΠΛΕΚΤΕΣ

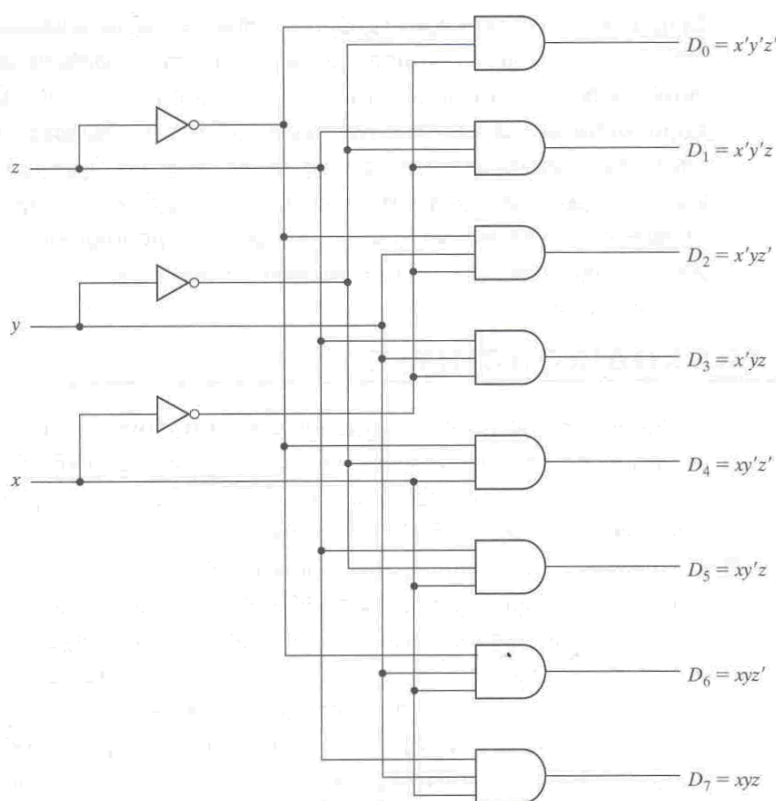
Σκοπός: Η κατανόηση της λειτουργίας των κυκλωμάτων ψηφιακής πολυπλεξίας και αποκωδικοποίησης και η εξοικείωση με τους ολοκληρωμένους πολυπλέκτες και αποκωδικοποιητές

6.1 Θεωρητική εισαγωγή

6.1.1 Αποκωδικοποιητές

Ο *αποκωδικοποιητής* είναι ένα κύκλωμα με n εισόδους και m εξόδους, όπου $m \leq 2^n$. Για κάθε συνδυασμό των εισόδων, ο αποκωδικοποιητής επιλέγει μία από τις m εξόδους και τη φέρνει σε λογικό 1, ενώ οι υπόλοιπες παραμένουν σε λογικό μηδέν. Ο όρος «αποκωδικοποιητής» χρησιμοποιείται και γενικότερα, για να χαρακτηρίσει ένα κύκλωμα που μετατρέπει ένα δυαδικό κώδικα από τη μία μορφή σε άλλη. Το κύκλωμα που μετατρέπει τον κώδικα BCD σε πληροφορία κατάλληλη για ενδείκτη επτά τομέων (BCD-to-7 segment) είναι μια μορφή αποκωδικοποιητή (βλέπε εργαστηριακή άσκηση 5).

Ένας αποκωδικοποιητής 3 σε 8 φαίνεται στο παρακάτω σχήμα 6.1. Οι τρεις εισόδοι αποκωδικοποιούνται σε οκτώ εξόδους, ώστε για καθέναν από τους οκτώ συνδυασμούς των εισόδων, μόνο μία έξοδος είναι ενεργή. Η κάθε έξοδος αντιπροσωπεύει έναν από τους ελάχιστους όρους (minterms) των n μεταβλητών εισόδου. Για παράδειγμα, όταν οι εισόδοι x, y, z είναι 000, τότε ο ελάχιστος όρος που παράγεται είναι ο $x'y'z'$, στην έξοδο D_0 . Ο αντίστοιχος πίνακας αληθείας φαίνεται στο σχ. 6.2.



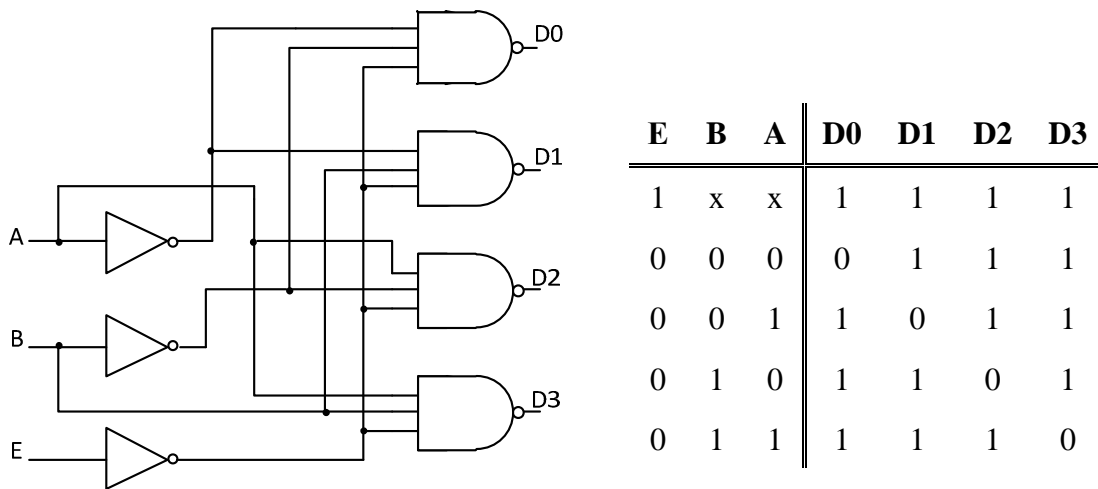
Σχήμα 6.1 Κύκλωμα αποκωδικοποιητή 3 σε 8. Στις εξόδους παράγονται οι ελάχιστοι όροι που αντιστοιχούν στις μεταβλητές εισόδου.

Πίνακας αληθείας ενός αποκωδικοποιητή 3-σε-8

Είσοδοι			Έξοδοι							
<i>x</i>	<i>y</i>	<i>z</i>	<i>D</i> ₀	<i>D</i> ₁	<i>D</i> ₂	<i>D</i> ₃	<i>D</i> ₄	<i>D</i> ₅	<i>D</i> ₆	<i>D</i> ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Σχήμα 6.2 Πίνακας αληθείας αποκωδικοποιητή 3 σε 8.

Συχνά, οι έξοδοι του αποκωδικοποιητή σχεδιάζονται ώστε να είναι ενεργές με το λογικό μηδέν (active low). Τότε, όλες οι υπόλοιπες μη ενεργές έξοδοι είναι σε λογικό ένα. Επίσης, οι αποκωδικοποιητές φέρουν συχνά και είσοδο «επίτρεψης» (enable), ώστε όταν η είσοδος επίτρεψης είναι ενεργή, τότε ο αποκωδικοποιητής επιλέγει και καθιστά ενεργή μία από τις εξόδους. Όταν, όμως, η είσοδος επίτρεψης είναι ανενεργή, τότε όλες οι έξοδοι είναι ανενεργές. Στο Σχήμα 6.3 φαίνεται ένας αποκωδικοποιητής 2 προς 4, με είσοδο επίτρεψης και με εξόδους ενεργές σε λογικό μηδέν.



Σχήμα 6.3 Κυκλωματικό διάγραμμα και πίνακας αληθείας αποκωδικοποιητή 2 σε 4, με είσοδο επίτρεψης (enable) και εξόδους ενεργές σε λογικό μηδέν

6.1.2 Υλοποίηση συνδυαστικών κυκλωμάτων με αποκωδικοποιητές

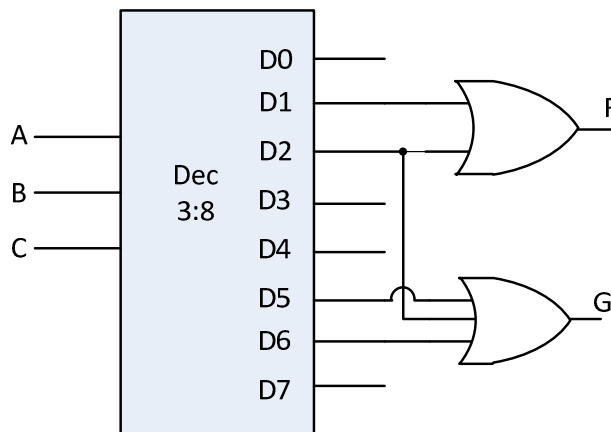
Αφού ο αποκωδικοποιητής παράγει στις εξόδους τους 2^n ελάχιστους όρους των n μεταβλητών εισόδου, άρα μπορεί να υλοποιήσει κάθε λογική συνάρτηση n μεταβλητών εισόδου ως άθροισμα ελαχίστων όρων. Για το σκοπό αυτό θα χρειαστεί να συνδυάσουμε τους

απαραίτητους ελάχιστους όρους μέσω πυλών OR. Με αυτό τον τρόπο, μπορεί να υλοποιηθεί ένα συνδυαστικό κύκλωμα n εισόδων m εξόδων, με τη βοήθεια m πυλών OR. Για παράδειγμα, έστω ένα συνδυαστικό κύκλωμα με τρεις εισόδους A,B,C και δύο εξόδους F, G, που υλοποιεί τις εξής λογικές συναρτήσεις:

$$F(A, B, C) = A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} \quad (6.1)$$

$$G(A, B, C) = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C \quad (6.2)$$

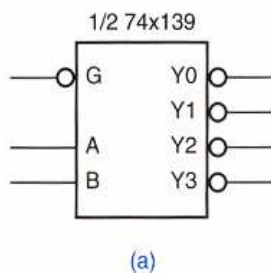
Οι ελάχιστοι όροι παράγονται στις εξόδους ενός αποκωδικοποιητή 3:8 και συνδυάζονται μεταξύ τους μέσω πυλών OR, όπως φαίνεται στο παρακάτω Σχήμα 6.4.



Σχήμα 6.4 Υλοποίηση του συνδυαστικού κυκλώματος τριών εισόδων και δύο εξόδων που περιγράφουν οι εξισώσεις (6.1) και (6.2). Χρησιμοποιήθηκε ένας αποκωδικοποιητής 3:8 και δύο πύλες OR

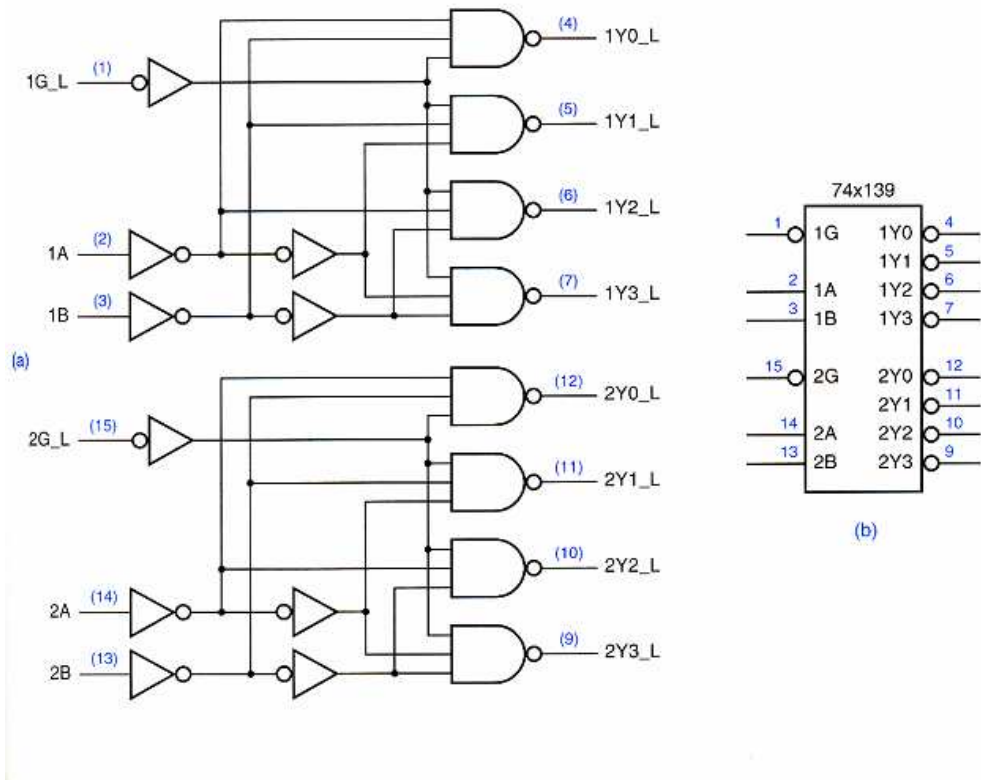
6.1.3 Ολοκληρωμένοι αποκωδικοποιητές

Η σειρά 74xxx της τυπικής λογικής περιλαμβάνει αποκωδικοποιητές 2:4, 3:8 και 4:16 με τη μορφή ολοκληρωμένων κυκλωμάτων μεσαίας κλίμακας ολοκλήρωσης. Συγκεκριμένα, το κύκλωμα 74LS139 είναι ένας διπλός αποκωδικοποιητής 2:4 με είσοδο επίτρεψης, όπως φαίνεται στο Σχήμα 6.5.



Inputs			Outputs			
G_L	B	A	Y3_L	Y2_L	Y1_L	Y0_L
1	x	x	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

Σχήμα 6.5 Λειτουργική βαθμίδα του αποκωδικοποιητή 74139 και πίνακας αληθείας

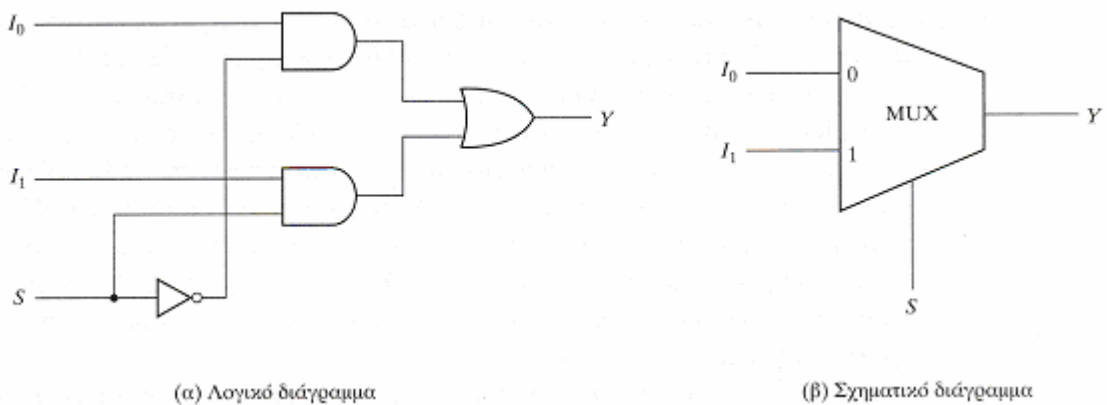


Σχήμα 6.6 Κυκλωματικό διάγραμμα (α) και διάγραμμα ακροδεκτών (β) του OK 74139

Στο Σχήμα 6.6 παρουσιάζεται το κυκλωματικό διάγραμμα του διπλού αποκωδικοποιητή 2:4 που περιέχεται στο ολοκληρωμένο κύκλωμα 74139 (α) και το διάγραμμα ακροδεκτών (β).

6.1.4 Πολυπλέκτες

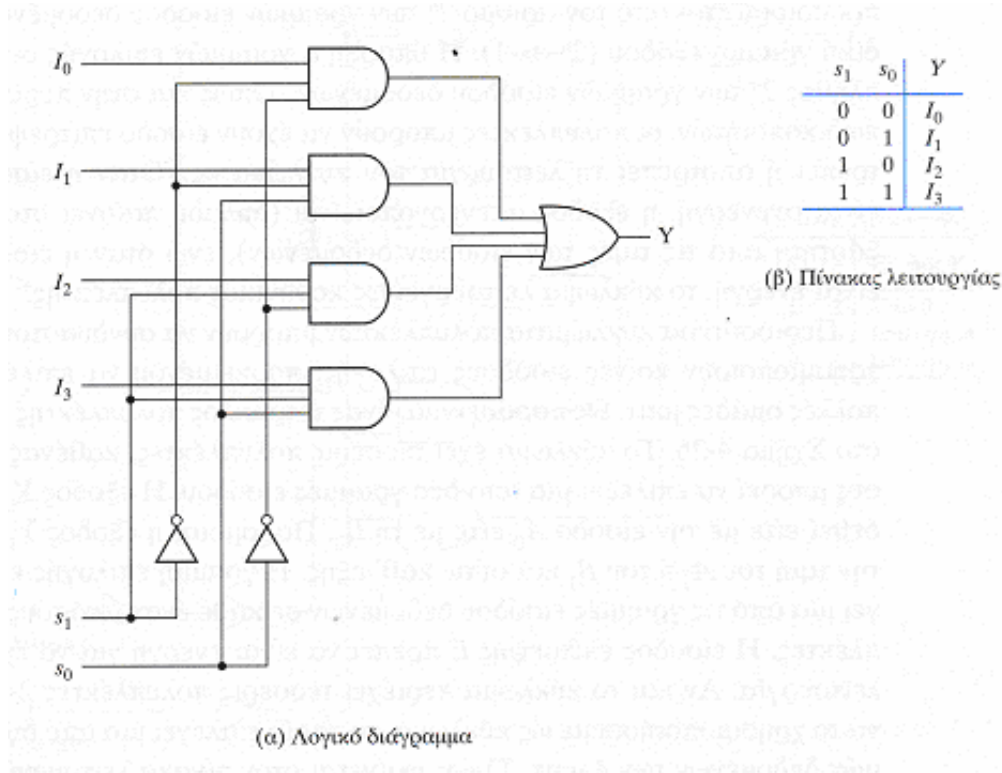
Ο **πολυπλέκτης** είναι ένα συνδυαστικό κύκλωμα, το οποίο επιλέγει τη δυαδική πληροφορία μιας από πολλές γραμμές εισόδου (κανάλια εισόδου) και την κατευθύνει σε μια μοναδική γραμμή εξόδου. Η επιλογή της συγκεκριμένης γραμμής εξόδου ελέγχεται από ειδικές γραμμές επιλογής. Κανονικά, υπάρχουν 2^n γραμμές εισόδου και n γραμμές επιλογής, των οποίων οι τιμές καθορίζουν ποια είσοδος επιλέγεται.



Σχήμα 6.7 Πολυπλέκτης 2-σε-1 (α) Λογικό διάγραμμα, (β) Σχηματικό διάγραμμα.

Στο παραπάνω Σχήμα 6.7 δύο πηγές του ενός bit συνδέονται σε μία έξοδο Y, ανάλογα με τις τιμές της εισόδου επιλογής S.

Στο παρακάτω Σχήμα 6.8 φαίνεται ένας πολυπλέκτης 4-σε-1. Κάθε μια από τέσσερις εισόδους I_0 έως I_3 συνδέεται σε μια από τις εισόδους μιας πύλης AND. Οι γραμμές επιλογής S_1 και S_2 αποκωδικοποιούνται έτσι, ώστε να επιλέξουν μία μόνο πύλη AND. Οι έξοδοι των AND τροφοδοτούν τις εισόδους μιας μοναδικής πύλης OR, της οποίας η έξοδος είναι και έξοδος του κυκλώματος.



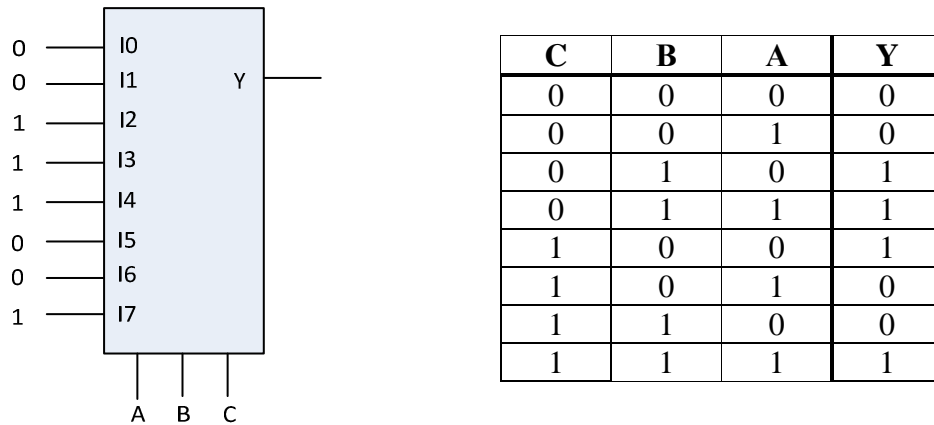
Σχήμα 6.8 Πολυπλέκτης 4-σε-1 και πίνακας αληθείας

6.1.5 Υλοποίηση λογικών συναρτήσεων με πολυπλέκτες

Ένας πολυπλέκτης μπορεί να λειτουργήσει και σαν γεννήτρια λογικών συναρτήσεων. Κάθε πολυπλέκτης 2^n εισόδων μπορεί να υλοποιήσει μια λογική συνάρτηση n μεταβλητών εισόδου και μιας εξόδου. Οι εισοδοί της λογικής συνάρτησης τοποθετούνται στις εισόδους επιλογής του πολυπλέκτη. Κάθε είσοδος ενσυραμώνεται στη λογική κατάσταση 1 ή 0, σύμφωνα με τον πίνακα αληθείας της λογικής συνάρτησης. Για κάθε συνδυασμό των εισόδων ο πολυπλέκτης επιλέγει και εξάγει τη λογική κατάσταση στην οποία έχει ενσυρατωθεί το αντίστοιχο κανάλι εισόδου.

Έστω, για παράδειγμα μια λογική συνάρτηση τριών μεταβλητών εισόδου με πίνακα αληθείας αυτό του Σχήματος 6.9. Η υλοποίηση της συνάρτησης με πολυπλέκτη φαίνεται στο ίδιο σχήμα. Οι μεταβλητές A,B,C τοποθετούνται στις γραμμές επιλογής και οι εισοδοί ενσυραμώνονται στις καταστάσεις 0 και 1, σύμφωνα με τον πίνακα αληθείας. Είναι προφανές ότι η έξοδος επιτελεί τον πίνακα αληθείας που περιγράφει τη συνάρτηση. Η είσοδος επιλογής A είναι η λιγότερο σημαντική.

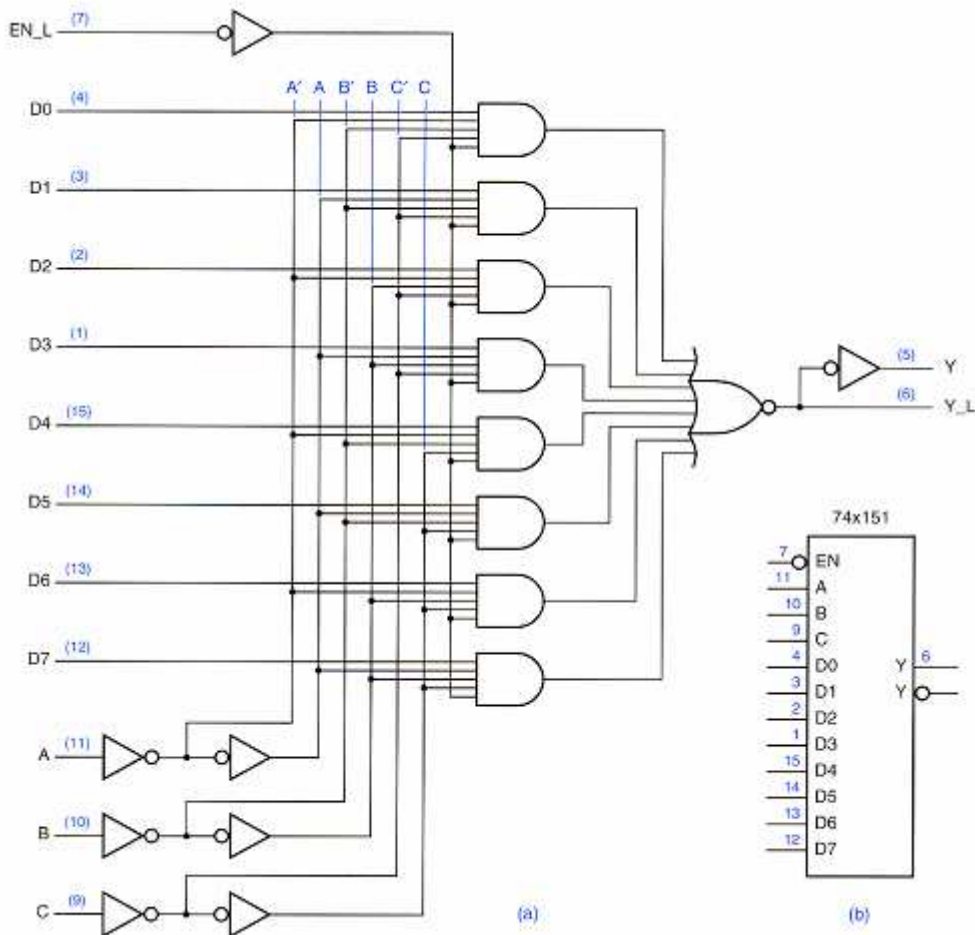
Δύο ή περισσότεροι πολυπλέκτες μπορούν να υλοποιήσουν συνδυαστικά κυκλώματα με παραπάνω από μία εξόδους.



Σχήμα 6.9 Υλοποίηση της λογικής συνάρτησης $Y = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC$ με πολυπλέκτη 8:1. Στα δεξιά, ο πίνακας αληθείας.

6.1.6 Ολοκληρωμένοι πολυπλέκτες

Στο Σχήμα 6.10 φαίνεται το λογικό διάγραμμα και το διάγραμμα ακροδεκτών ενός ολοκληρωμένου πολυπλέκτη της τυπικής λογικής, με κωδικό 74LS151.

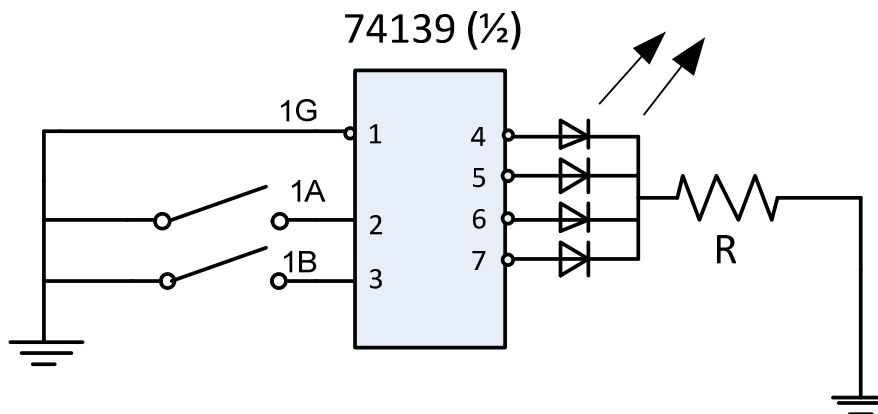


Σχήμα 6.10 Πολυπλέκτης 8-σε-1 με το ολοκληρωμένο κύκλωμα 74LS151. Λογικό διάγραμμα (a) και διάγραμμα ακροδεκτών (b)

6.2 Εργαστηριακό μέρος

6.2.1 Αποκωδικοποιητής 2:4

α) Να υλοποιήσετε το παρακάτω κύκλωμα αποκωδικοποιητή 2:4 με τη βοήθεια του ολοκληρωμένου κυκλώματος 74139 (1/2). Να λάβετε υπόψη ότι οι ακροδέκτες 8 και 16 πρέπει να οδηγηθούν στη γη και την τροφοδοσία (+5V) αντίστοιχα, για να πολωθεί το κύκλωμα (δείτε και διάγραμμα ακροδεκτών, στο Παράρτημα).



Σχήμα 6.11 Κύκλωμα για την παρατήρηση της λειτουργία του δυαδικού αποκωδικοποιητή 74LS139

β) Να συμπληρώσετε τον πίνακα αληθείας.

G	B	A	D0 (4)	D1 (5)	D2 (6)	D3 (7)
1	x	x				
0	0	0				
0	0	1				
0	1	0				
0	1	1				

Σχήμα 6.12 Πίνακας αληθείας του αποκωδικοποιητή 74LS139 (να συμπληρωθεί)

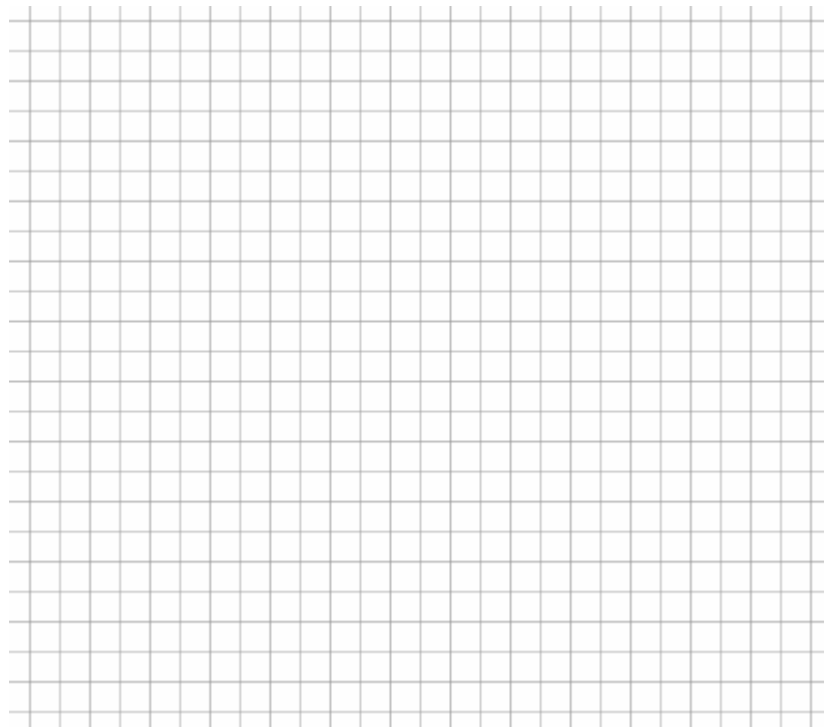
6.2.2 Υλοποίηση συνδυαστικού κυκλώματος με αποκωδικοποιητή

Να υλοποιήσετε την παρακάτω λογική συνάρτηση δύο μεταβλητών εισόδου με χρήση του αποκωδικοποιητή 74139, μιας πύλης NOT (7404) και μιας πύλης OR (7432)

$$F(A, B) = A \cdot \bar{B} + \bar{A} \cdot B$$

Ακολουθείστε τα εξής βήματα:

α) Σχεδιάστε το κύκλωμα παρακάτω (συμβουλευτείτε την παράγραφο 6.1.2 της θεωρίας). Σημειώστε και τους αριθμούς των ακροδεκτών των ΟΚ 74139, 7404 και 7432 που θα χρησιμοποιήσετε. Στη συνέχεια υλοποιείτε το κύκλωμα στο ράστερ, χρησιμοποιώντας δύο διακόπτες ως εισόδους A και B και ένα LED για την απεικόνιση της εξόδου F .



β) Συμπληρώστε τον πίνακα αληθείας που παράγεται στην έξοδο της OR, για όλους τους συνδυασμούς των εισόδων A και B :

E	B	A	Y
1	x	x	
0	0	0	
0	0	1	
0	1	0	
0	1	1	

6.2.3 Πολυπλέκτης 8:1

Να χρησιμοποιήσετε τον πολυπλέκτη 74151 για να υλοποιήσετε την παρακάτω λογική συνάρτηση τριών μεταβλητών εισόδου και μιας εξόδου:

$$Y(A, B, C) = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C$$

Ακολουθήστε τα εξής βήματα:

α) Βρείτε τον πίνακα αληθείας της συνάρτησης

C	B	A	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

β) Πολώστε το ολοκληρωμένο κύκλωμα 74151 φέρνοντας τους ακροδέκτες 8 και 16 στη γη και στην τροφοδοσία αντίστοιχα.

γ) Λάβετε υπόψη το διάγραμμα ακροδεκτών του πολυπλέκτη (Σχήμα 6.10 ή Παράρτημα). Οδηγήστε τις εισόδους I0 έως I7 σε λογικό 1 ή μηδέν, με βάση τον πίνακα αληθείας, χρησιμοποιώντας καλώδια.

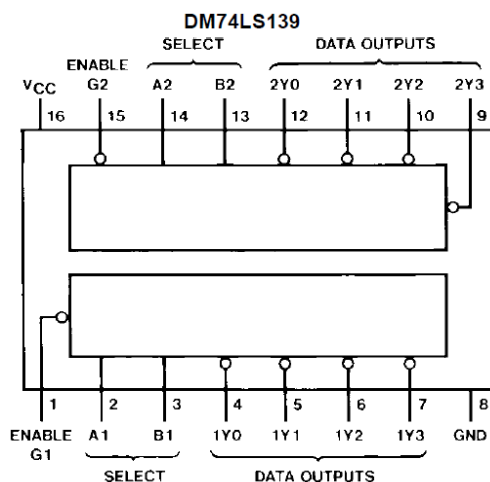
δ) Συνδέστε διακόπτες στις εισόδους επιλογής A,B,C (ή S₀, S₁, S₂, ακροδέκτες 11, 10, 9, αντίστοιχα). Συνδέστε LED στην έξοδο Y (ακροδέκτης 5)

ε) Συμπληρώστε τον πίνακα αληθείας που υλοποιεί ο πολυπλέκτης και συγκρίνετε με τον επιθυμητό. Σχολιάστε το αποτέλεσμα, με βάση την παρατήρησή σας:

.....

ΠΑΡΑΡΤΗΜΑ

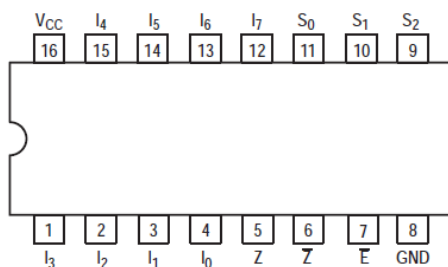
Διάγραμμα ακροδεκτών και πίνακας αληθείας του ολοκληρωμένου κυκλώματος
74LS139



DM74LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

Διάγραμμα ακροδεκτών και λογικό διάγραμμα του ολοκληρωμένου κυκλώματος
74LS151 (πολυπλέκτης 8:1)



PIN NAMES

- $S_0 - S_2$ Select Inputs
- \bar{E} Enable (Active LOW) Input
- $I_0 - I_7$ Multiplexer Inputs
- Z Multiplexer Output
- \bar{Z} Complementary Multiplexer Output

LOGIC DIAGRAM

