

(Document version 1.0)

Ιωάννης Καλόμοιρος

Αναπλ. Καθηγητής ΤΕΙ Κεντρικής Μακεδονίας

ΠΡΟΗΓΜΕΝΑ ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

Τεύχος 1^ο

**Σύντομη εισαγωγή στα ψηφιακά κυκλώματα
και στις οικογένειες κυκλωμάτων της τυπικής λογικής**



ΣΕΡΡΕΣ 2016

Περιεχόμενα

ΜΕΡΟΣ Α: ΕΙΣΑΓΩΓΗ ΣΤΑ ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΚΑΙ ΣΤΙΣ ΟΙΚΟΓΕΝΕΙΕΣ ΚΥΚΛΩΜΑΤΩΝ ΤΗΣ ΤΥΠΙΚΗΣ ΛΟΓΙΚΗΣ

Κεφάλαιο 1 Τα βασικά κυκλώματα της συνδυαστικής λογικής

Κεφάλαιο 2 Τα βασικά κυκλώματα της ακολουθιακής λογικής

Κεφάλαιο 3 Μνήμες

Κεφάλαιο 4 Προγραμματιζόμενες λογικές διατάξεις

ΜΕΡΟΣ Α

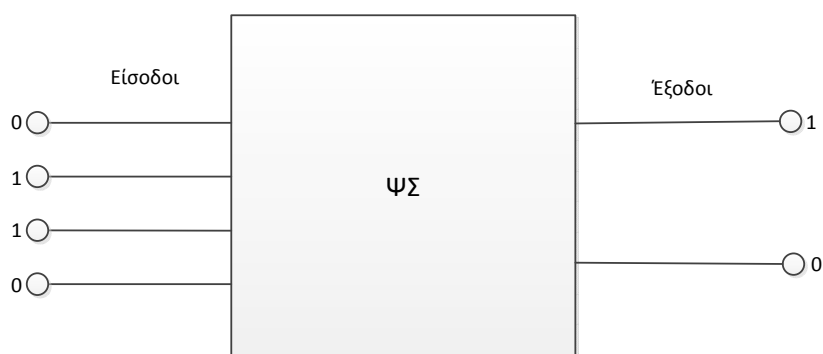
**Εισαγωγή στα ψηφιακά κυκλώματα
και στις οικογένειες κυκλωμάτων της τυπικής λογικής**

Κεφάλαιο 1. Τα βασικά κυκλώματα της συνδυαστικής λογικής

1.1. Εισαγωγή

Σύμφωνα με τη δυαδική λογική, κάθε αριθμητική ή άλλη πληροφορία παριστάνεται με τη βοήθεια δύο διακριτών καταστάσεων, το λογικό 0 και το λογικό 1. Αυτές οι δύο καταστάσεις αντιστοιχούν στις δύο θέσεις ενός διακόπτη, που μπορεί να είναι κλειστός (ON) ή ανοιχτός (OFF). Επίσης, αντιστοιχεί στις δύο τιμές που μπορεί να πάρει μια λογική πρόταση, που μπορεί να είναι αληθής (TRUE) ή ψευδής (FALSE). Η άλγεβρα που περιγράφει τη δυαδική λογική ονομάζεται άλγεβρα Boole ή άλγεβρα των διακοπών. Για μια εισαγωγή στην άλγεβρα Boole ο αναγνώστης μπορεί να αναφερθεί στην παραπομπή [1].

Τα ψηφιακά συστήματα λαμβάνουν εισόδους και παράγουν εξόδους που περιγράφονται στο δυαδικό σύστημα, με τη βοήθεια των τιμών 0 και 1. Ένα ψηφιακό κύκλωμα μπορεί να λαμβάνει ως είσοδο ένα σύνολο από δυαδικά ψηφία 0 ή 1, που όλα μαζί παριστάνουν την ψηφιακή κατάσταση της εισόδου, π.χ. 0110. Παρομοίως, μπορεί να παράγει ένα σύνολο δυαδικών ψηφίων στην έξοδο, που όλα μαζί παριστάνουν την κατάσταση της εξόδου, π.χ. 10 (Σχήμα 1.1).



Σχήμα 1.1 Ψηφιακό κύκλωμα με 4 εισόδους και 2 εξόδους

Έστω για παράδειγμα ότι η είσοδος μπορεί να λάβει τέσσερα δυαδικά ψηφία, οπότε βρίσκεται σε μία από $2^4=16$ διακριτές τιμές, αρχίζοντας από το 0000 (δεκαδικό 0) και τελειώνοντας στο 1111 (δεκαδικό 15). Αν η είσοδος αποτελείται από δύο δυαδικά ψηφία, τότε οι δυνατές καταστάσεις είναι 00, 01, 10, 11, δηλαδή $2^2=4$ διακριτές καταστάσεις (0, 1, 2, 3 στο δεκαδικό σύστημα). Με αντίστοιχο τρόπο κατανοούμε τις δυνατές καταστάσεις της εξόδου, ανάλογα με τον αριθμό των δυαδικών ψηφίων που αποτελούν την έξοδο.

Στα ψηφιακά συστήματα, οι δύο διακριτές λογικές καταστάσεις του δυαδικού συστήματος αντιστοιχούν σε ηλεκτρικές ποσότητες. Συγκεκριμένα, αντιστοιχούν σε δύο διακριτά δυναμικά, που τα μετρούμε σε σχέση με ένα δυναμικό αναφοράς. Ως γνωστό, οι διαφορές δυναμικού οφείλονται στις διαφορές ηλεκτρικού φορτίου ανάμεσα σε σημεία ενός κυκλώματος και έχουν ως αποτέλεσμα τη δημιουργία ηλεκτρικού ρεύματος. Στα κυκλώματα που θα μελετήσουμε, το λογικό 1 αντιστοιχεί συνήθως στα +5V, ενώ το λογικό μηδέν ταυτίζεται με το δυναμικό αναφοράς και άρα βρίσκεται στα μηδέν Volt (0V). Σε ορισμένα

συστήματα, το λογικό μηδέν μπορεί να αντιστοιχεί στα +15V και το λογικό 1 στα -15V. Άρα, καταλαβαίνουμε ότι η αντιστοιχία αυτή είναι συμβατική και όχι αναγκαστική.

Στα παρακάτω, θα κάνουμε εισαγωγή στις απλές λογικές πύλες. Αυτές είναι απλούστατα ψηφιακά κυκλώματα, που λαμβάνουν εισόδους και παράγουν εξόδους. Οι απλές λογικές πύλες αποτελούν τα δομικά στοιχεία των ψηφιακών κυκλωμάτων.

1..2 Απλές λογικές πύλες NOT, AND, NAND

1.2.1 Ο λογικός αντιστροφέας ή πύλη NOT

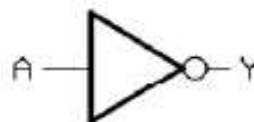
Η απλούστερη λογική πύλη είναι η NOT, ή αλλιώς ο λογικός αντιστροφέας. Η πύλη αυτή λαμβάνει μία είσοδο και παράγει μία έξοδο. Όταν λαμβάνει ως είσοδο το λογικό 1, δίνει στην έξοδο λογικό 0. Δηλαδή, αν λάβει στην είσοδο +5V, παράγει στην έξοδο δυναμικό 0V. Αντιστρόφως, όταν λαμβάνει λογικό 0 παράγει στην έξοδο το λογικό 1. Αλλιώς, λέμε ότι παράγει στην έξοδο το συμπλήρωμα της εισόδου:

$$Y = \bar{A} \quad (1.1)$$

Η παραπάνω λογική συνάρτηση περιγράφεται με τη βοήθεια ενός πίνακα, που ονομάζεται *πίνακας αληθείας*, ο οποίος στην αριστερή στήλη περιέχει την είσοδο και στη δεξιά στήλη περιέχει την κατάσταση της εξόδου (Σχήμα 1.2α)

<i>A</i>	<i>Y</i>
0	1
1	0

(α)



(β)

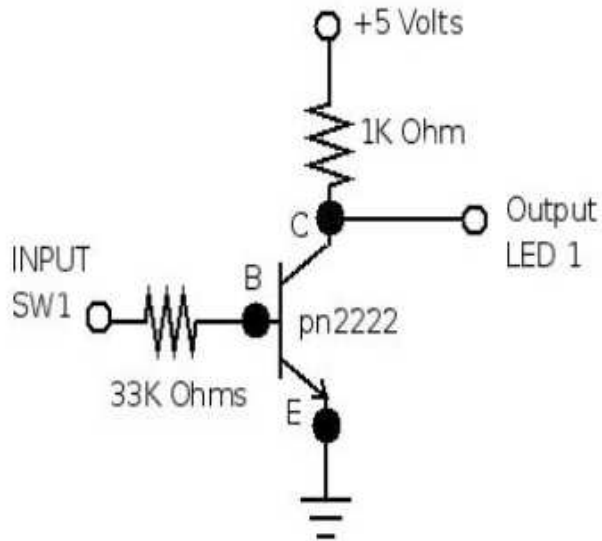
Σχήμα 1.2: (α) Πίνακας αληθείας της πύλης NOT και (β) κυκλωματικό σύμβολο

Στο Σχήμα 1.2β φαίνεται το κυκλωματικό σύμβολο της πύλης NOT. Ο μικρός κύκλος στην έξοδο της πύλης υποδηλώνει τη λογική αντιστροφή.

Στην πράξη, ένας λογικός αντιστροφέας υλοποιείται με τη βοήθεια ενός τρανζίστορ σε λειτουργία διακόπτη (βλέπε σχήμα 1.3).

Όταν η είσοδος *A* λαμβάνει δυναμικό 5V, τότε η βάση διαρρέεται από ένα ρεύμα βάσης I_B , που οδηγεί το τρανζίστορ στον κόρο. Ως αποτέλεσμα, η αντίσταση του σώματος του τρανζίστορ ανάμεσα στο συλλέκτη (*C*) και στον εκπομπό (*E*) γίνεται πολύ μικρή, οπότε πρακτικά στο συλλέκτη εμφανίζεται το δυναμικό του εκπομπού, δηλαδή το δυναμικό αναφοράς (γείωση). Έτσι, στην έξοδο *Y* θα εμφανιστεί δυναμικό 0 V. Αντίθετα, όταν η είσοδος λάβει δυναμικό 0V, τότε το τρανζίστορ βρίσκεται στην αποκοπή, και η αντίσταση συλλέκτη-εκπομπού είναι πολύ μεγάλη. Το δυναμικό που εμφανίζεται στο συλλέκτη είναι

περίπου το δυναμικό της τάσης πόλωσης, δηλαδή 5V. Για μια εισαγωγική περιγραφή του τρανζίστορ, ο αναγνώστης μπορεί να αναφερθεί στην παραπομπή [2].



Σχήμα 1.3: Κύκλωμα λογικού αντιστροφέα με τρανζίστορ

1.2.2 Πύλες AND και NAND

Η απλή πύλη **AND**, λαμβάνει δύο εισόδους A, B και παράγει μία έξοδο Y. Η πύλη AND παράγει στην έξοδο το γινόμενο των εισόδων, ώστε παράγει λογικό 1 μόνον αν και οι δύο εισοδοί λάβουν την τιμή «λογικό 1». Σε κάθε άλλη περίπτωση, εξάγει το λογικό 0:

$$Y = A \cdot B \quad (1.2)$$

Ο πίνακας αληθείας της πύλης AND και το κυκλωματικό σύμβολο δίνονται στο παρακάτω Σχήμα 1.4:

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	0
1	0	0
1	1	1



Σχήμα 1.4: Πίνακας αληθείας και κυκλωματικό σύμβολο πύλης AND

Η πύλη **NAND** μπορεί να θεωρηθεί ότι είναι μια πύλη AND που ακολουθείται από μια πύλη NOT. Ως αποτέλεσμα, η λογική πράξη που επιτελεί είναι να παρέχει το συμπλήρωμα του λογικού πολλαπλασιασμού, που επιτελεί η πύλη AND:

$$Y = \overline{A \cdot B} \quad (1.3)$$

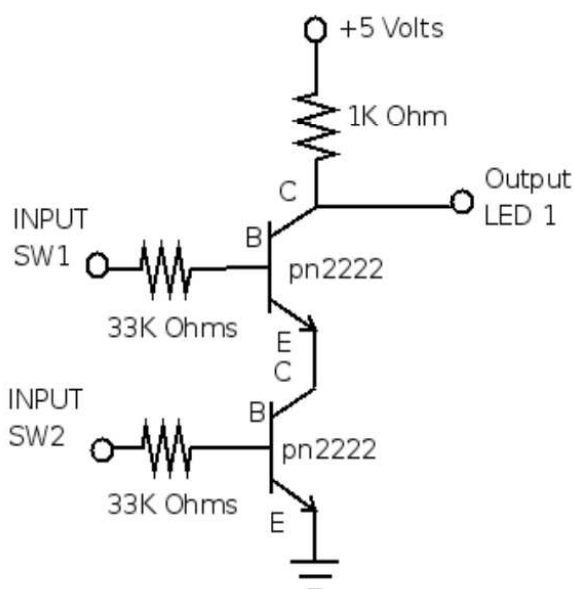
Ο πίνακας αληθείας της πύλης NAND και το κυκλωματικό σύμβολο δίνονται στο παρακάτω Σχήμα 1.5:

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	1
1	0	1
1	1	0



Σχήμα 1.5: Πίνακας αληθείας και κυκλωματικό σύμβολο πύλης NAND

Η πύλη NAND μπορεί να υλοποιηθεί κυκλωματικά ευκολότερα από την πύλη AND, καθώς απαιτούνται λιγότερα κυκλωματικά εξαρτήματα. Έτσι, μια πύλη NAND μπορεί να υλοποιηθεί με τη βοήθεια δύο διπολικών τρανζίστορ σε λειτουργία διακόπτη, όπως φαίνεται στο παρακάτω Σχήμα 1.6:



Σχήμα 1.6: Υλοποίηση πύλης NAND με δύο τρανζίστορ σε λειτουργία διακόπτη

Προφανώς, όταν ένα από τα δύο τρανζίστορ δέχεται στην είσοδο λογικό 0, τότε η διέλευση του ρεύματος προς τη γη διακόπτεται, αφού το τρανζίστορ μετάγεται στην αποκοπή

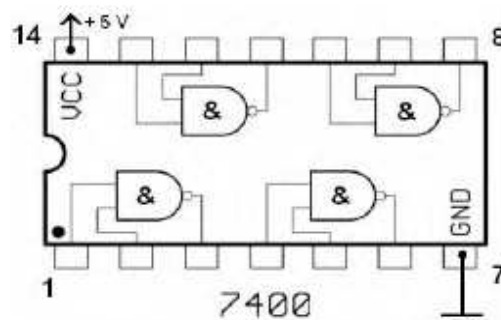
(διακόπτης σε κατάσταση OFF). Ως αποτέλεσμα, στην έξοδο εμφανίζονται τα 5 V της πόλωσης του τρανζίστορ, δηλαδή λογικό 1. Αν όμως και τα δύο τρανζίστορ δεχτούν στην είσοδο λογικό 1, τότε αμφότερα μετάγονται στον κόρο, δηλαδή στην κατάσταση ON, και η έξοδος λαμβάνει το δυναμικό της γης, δηλαδή λογικό 0.

1.1.3 Η οικογένεια ολοκληρωμένων κυκλωμάτων 74xx

Όπως είδαμε στα προηγούμενα, οι λογικές πύλες μπορούν να κατασκευαστούν με τρανζίστορ σε λειτουργία διακόπτη. Ήδη από τα τέλη της δεκαετίας του '50 η τεχνολογία των ημιαγωγών επέτρεψε την ενσωμάτωση πολλών τρανζίστορ και των διασυνδέσεών τους σε ένα ολοκληρωμένο κύκλωμα με βάση το πυρίτιο. Πάνω σε ένα υπόστρωμα πυριτίου μπορούν να αναπτυχθούν και να διασυνδεθούν πολλά τρανζίστορ, δημιουργώντας λογικές πύλες ή και πιο πολύπλοκα κυκλώματα. Η πρόοδος στον τομέα των ολοκληρωμένων κυκλωμάτων οδήγησε στους σημερινούς επεξεργαστές, που ενσωματώνουν εκατομύρια εξαρτήματα σε ένα και μοναδικό τσιπ.

Όπως είναι γνωστό από εισαγωγικά μαθήματα ψηφιακών κυκλωμάτων, στο εργαστήριο χρησιμοποιούμε τη σειρά ολοκληρωμένων κυκλωμάτων 74xx, όπου το xx είναι ο αριθμητικός κώδικας του κυκλώματος: xx=00 σημαίνει πύλες NAND, xx=08 σημαίνει πύλες AND κ.ο.κ.

Αυτά τα κυκλώματα δεν χρησιμοποιούνται πλέον ευρέως στους σύγχρονους υπολογιστές ή στα καταναλωτικά ηλεκτρονικά, επειδή έχουν αντικατασταθεί από ολοκληρωμένα κυκλώματα υψηλής κλίμακας ολοκλήρωσης, που επιτελούν σύνθετες λειτουργίες. Όμως, έχουν μεγάλη εκπαιδευτική αξία και χρησιμοποιούνται σε πολλές ψηφιακές σχεδιάσεις. Είναι φθηνά, ανθεκτικά και εύκολο να βρεθούν στην αγορά ή στο internet. Η συνηθισμένη μορφή τους είναι αυτή που φαίνεται στο Σχήμα 1.7, με τους ακροδέκτες σε διπλή σειρά, κατάλληλη



Σχήμα 1.7 Το ολοκληρωμένο κύκλωμα 7400, που περιέχει πύλες NAND.

για τοποθέτηση στο ράστερ. Αυτή η μορφή ονομάζεται Dual-in-line package (DIP).

Όπως βλέπουμε στο Σχήμα 1.7, κάθε ολοκληρωμένο κύκλωμα της σειράς 74xx έχει δεκατέσσερις ακροδέκτες. Αυτοί αριθμούνται από 1 έως 14, όπως φαίνεται στο σχήμα, με τον 1 να βρίσκεται αριστερά της εγκοπής. Δύο από τους ακροδέκτες, ο 14 και ο 7 χρησιμοποιούνται για να εφαρμόσουμε την τροφοδοσία (+5V) και τη γη (0V), που εξασφαλίζουν την πόλωση των τρανζίστορ. Χωρίς τάση πόλωσης, που παρέχεται με τη

βοήθεια τροφοδοτικού ή μπαταρίας, το κύκλωμα δεν είναι δυνατό να λειτουργήσει, διότι τα τρανζίστορ του κυκλώματος χρειάζονται dc τάση τροφοδοσίας. Όπως φαίνεται στο Σχήμα 1.7, κάθε ολοκληρωμένο κύκλωμα περιέχει παραπάνω από μία λογικές πύλες. Ο αριθμός τους εξαρτάται από τους ακροδέκτες εισόδου και εξόδου της κάθε μιας. Έτσι, το 7400 έχει τέσσερις πύλες NAND, ενώ το 7404 που περιέχει πύλες NOT χωράει έξι πύλες NOT.

Όταν χρησιμοποιούμε για πρώτη φορά ένα ολοκληρωμένο κύκλωμα της σειράς 74xx, πρέπει να γνωρίζουμε το διάγραμμα ακροδεκτών και τη λογική συνάρτηση/πίνακα αληθείας που επιτελεί. Για το σκοπό αυτό μελετούμε τα λεγόμενα «φύλλα δεδομένων» (data sheets). Αυτά είναι λεπτομερείς πληροφορίες που δίνει ο κατασκευαστής για το κύκλωμα και μπορούν να βρεθούν στο internet πληκτρολογώντας στη μηχανή αναζήτησης το όνομα του ολοκληρωμένου κυκλώματος που έχουμε στα χέρια μας. Για παράδειγμα, το κλειδί αναζήτησης “7432 data sheet” θα μας μεταφέρει σε αρχείο pdf που θα περιέχει πληροφορίες για το τυπικό ολοκληρωμένο, που περιέχει πύλες OR.

1.4 Πύλες OR και NOR

Η απλή πύλη **OR** λαμβάνει δύο εισόδους A, B και παράγει μία έξοδο Y. Η πύλη OR παράγει στην έξοδο τη λογική διάζευξη των εισόδων, ώστε παράγει λογικό 1 μόνον αν τουλάχιστον η μία είσοδος λάβει την τιμή “λογικό 1”. Στην περίπτωση που και οι δύο εισοδοί είναι 0, η πύλη εξάγει το λογικό 0:

$$Y = A + B \quad (1.4)$$

Ο πίνακας αληθείας της πύλης OR και το κυκλωματικό σύμβολο δίνονται στο παρακάτω Σχήμα 1.8:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



Σχήμα 1.8: Πίνακας αληθείας και κυκλωματικό σύμβολο πύλης OR

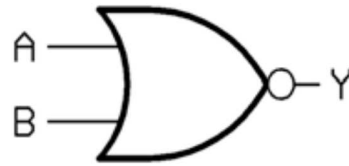
Το ολοκληρωμένο κύκλωμα 7432 περιέχει πύλες OR.

Η πύλη **NOR** μπορεί να θεωρηθεί ότι είναι μια πύλη OR που ακολουθείται από μια πύλη NOT. Ως αποτέλεσμα, η λογική πράξη που επιτελεί παρέχει το συμπλήρωμα του λογικού OR:

$$Y = \overline{A + B} \quad (1.5)$$

Ο πίνακας αληθείας της πύλης NOR και το κυκλωματικό σύμβολο δίνονται στο παρακάτω Σχήμα 1.9:

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	0



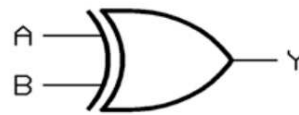
Σχήμα 1.9: Πίνακας αληθείας και κυκλωματικό σύμβολο πύλης NOR

Η πύλη NOR μπορεί να υλοποιηθεί κυκλωματικά ευκολότερα από την πύλη OR, καθώς απαιτούνται λιγότερα κυκλωματικά εξαρτήματα (τρανζίστορ). Έτσι, μια πύλη NOR μπορεί να υλοποιηθεί με τη βοήθεια δύο διπολικών τρανζίστορ σε λειτουργία διακόπτη, που οδηγούν το συλλέκτη στο δυναμικό της γης, όταν θέσουμε λογικό 1 στη βάση (προσπαθήστε να σχεδιάσετε τη συνδεσμολογία).

1.5 Πύλες XOR και XNOR

Η πύλη XOR έχει δύο εισόδους *A*, *B* και μία έξοδο *Y*, που γίνεται λογικό 1 όταν μόνο μία από τις δύο εισόδους είναι 1. Ονομάζεται αλλιώς πύλη αποκλειστικού Ή (Exclusive OR).

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	1
1	0	1
1	1	0



Σχήμα 1.10: Πίνακας αληθείας και κυκλωματικό σύμβολο πύλης XOR

Η πύλη XOR ονομάζεται επίσης «πύλη σύγκρισης», επειδή παράγει λογικό 1 μόνον όταν οι είσοδοι διαφέρουν μεταξύ τους. Η συνάρτηση της πύλης XOR είναι:

$$Y = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad (1.6)$$

Η πύλη XNOR (exclusive NOR) υλοποιεί το συμπλήρωμα της πύλης XOR. Η λογική συνάρτηση και πίνακας αληθείας δίνονται παρακάτω:

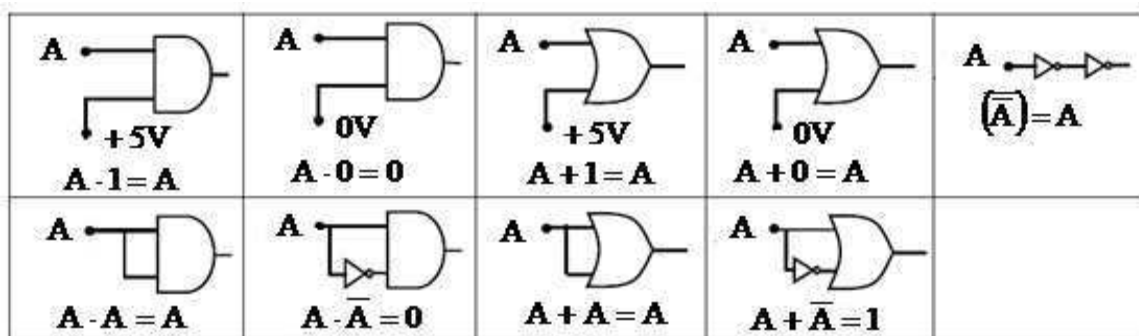
$$Y = A \otimes B = A \cdot B + \bar{A} \cdot \bar{B} \quad (1.7)$$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	1

Σχήμα 1.11: Πίνακας αληθείας της πύλης XNOR

1.6 Βασικές αναγωγικές σχέσεις της άλγεβρας Boole

Στο σχ. 1.12 συνοψίζονται οι βασικές αναγωγικές σχέσεις της άλγεβρας Boole. Οι σχέσεις αυτές αποτελούν τα βασικά θεωρήματα της άλγεβρας Boole.



Σχήμα 1.12 Οι βασικές αναγωγικές σχέσεις της άλγεβρας Boole.

Με βάση αυτές τις σχέσεις μπορούν να γίνουν απλοποιήσεις σύνθετων λογικών εκφράσεων της άλγεβρας Boole. Στη διαδικασία αυτή οι λογικές εκφράσεις αντιμετωπίζονται ως τυπικές αλγεβρικές σχέσεις, με τις συνήθειες προτεραιότητας των αλγεβρικών πράξεων.

1.7 Θεώρημα DeMorgan

Συχνά, η αναπαράσταση ενός λογικού κυκλώματος είναι σε μορφή που δεν είναι η επιθυμητή. Για παράδειγμα, η συνάρτηση Boole εκφράζεται σε όρους OR/NOR, ενώ απαιτείται η χρήση πυλών AND/NAND. Σε άλλη περίπτωση, μπορεί να συνδυάζονται πύλες OR/NOR και AND/NAND, ενώ απαιτείται η χρήση μιας μόνο λογικής (ενός τύπου πυλών).

Για την αντιμετώπιση τέτοιων προβλημάτων, είναι χρήσιμο το θεώρημα που διατύπωσε ο Augustus DeMorgan και το οποίο επιτρέπει τη μετατροπή της λογικής OR/NOR σε AND/NAND και της AND/NAND σε OR/NOR. Το θεώρημα DeMorgan διατυπώνεται με βάση τις ακόλουθες εξισώσεις:

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (1.8)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (1.9)$$

Η εφαρμογή του θεωρήματος DeMorgan συνοψίζεται στα εξής βήματα:

1. Αντικατάσταση πύλης AND με OR και της OR με AND
2. Αντιστροφή των όρων (χρήση των συμπληρωμάτων τους)
3. Αντιστροφή του τελικού αποτελέσματος
4. Εφόσον είναι δυνατό: απλοποίηση με διπλή αντιστροφή

Οι εξισώσεις (1.9) και (1.10) ισχύουν ανεξάρτητα από το πλήθος των μεταβλητών, ενώ εφαρμόζονται σε ολόκληρη ή σε ένα μόνο τμήμα μιας λογικής συνάρτησης.

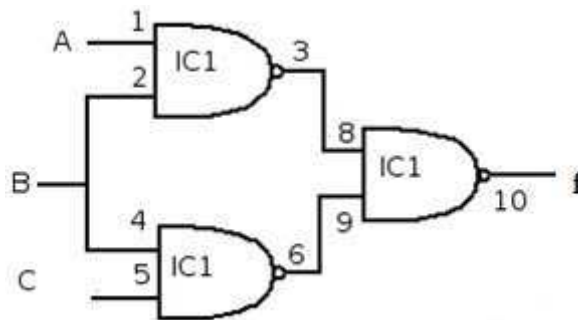
Δίνεται, ως παράδειγμα, η συνάρτηση:

$$f(A,B,C) = A \cdot B + B \cdot C \quad (1.10)$$

Το κύκλωμα που αντιστοιχεί στη συνάρτηση μπορεί να υλοποιηθεί με δύο πύλες AND και μία OR. Με εφαρμογή των εξισώσεων (1.8) και (1.9) διαπιστώνουμε ότι αρκούν τρεις πύλες NAND, δηλαδή ένα ολοκληρωμένο κύκλωμα τύπου 7400:

$$f(A,B,C) = AB + BC = \overline{\overline{A \cdot B + B \cdot C}} = \overline{\overline{A \cdot B} \cdot \overline{B \cdot C}} \quad (1.11)$$

Η υλοποίηση της εξ. (1.11) φαίνεται στο Σχήμα 1.13.



Σχήμα 1.13 Υλοποίηση του κυκλώματος της εξ. (1.12), με πύλες NAND (ολοκληρωμένο κύκλωμα 7400).

Τα παραπάνω θεωρήματα, αποτελούν ύλη του μαθήματος «Ψηφιακά Κυκλώματα» του Β' εξαμήνου. Ο σπουδαστής μπορεί να τα μελετήσει λεπτομερώς στην αναφορά [1].

1.8 Οικογένειες ολοκληρωμένων κυκλωμάτων: TTL και CMOS

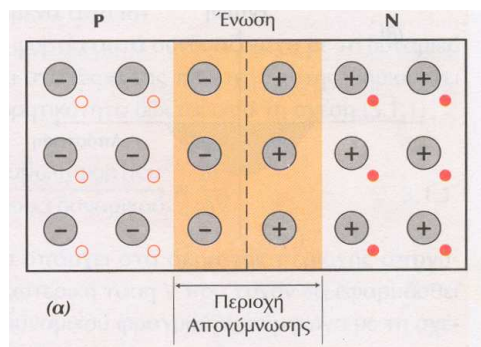
Στα σύγχρονα ηλεκτρονικά χρησιμοποιούνται κυρίως δύο μεγάλες οικογένειες ολοκληρωμένων κυκλωμάτων, η οικογένεια TTL (Transistor-Transistor Logic) και η οικογένεια CMOS (Complementary Metal-Oxide-Semiconductor). Διαφέρουν μεταξύ τους στον τρόπο με τον οποίο υλοποιούν την ψηφιακή λογική πάνω στο πυρίτιο. Η πρώτη χρησιμοποιεί ημιαγωγικές διατάξεις διπολικής λογικής, δηλαδή διόδους p-n και διπολικά τρανζίστορ. Η δεύτερη χρησιμοποιεί τρανζίστορ τύπου MOSFET σε συμπληρωματική διάταξη, δηλαδή MOSFET τρανζίστορ με διάυλο τύπου n και διάυλο τύπου p, ανά ζεύγη. Στις παραγράφους που ακολουθούν δίνεται μια σύντομη περιγραφή των δύο τεχνολογιών.

1.8.1 Η οικογένεια TTL

Τα πρώτα ολοκληρωμένα κυκλώματα βασίστηκαν στον εμπλουτισμό περιοχών τύπου n και p πάνω στο πυρίτιο, με σκοπό τη δημιουργία διπολικών ημιαγωγικών διατάξεων, όπως η δίοδος και το διπολικό τρανζίστορ. Διπολικές, ονομάζονται οι διατάξεις στις οποίες οι φορείς είναι ηλεκτρόνια και οπές. Δηλαδή, η αγωγιμότητα των διπολικών διατάξεων οφείλεται στη μεταφορά και των δύο τύπων φορέων.

1.8.1.1 Η δίοδος

Η ένωση δύο περιοχών τύπου n και p δημιουργεί την ημιαγωγική διάταξη, που είναι γνωστή ως δίοδος επαφής p-n. Μια τέτοια επαφή φαίνεται στο παρακάτω Σχήμα 1.14.



Σχήμα 1.14 Η δίοδος p-n

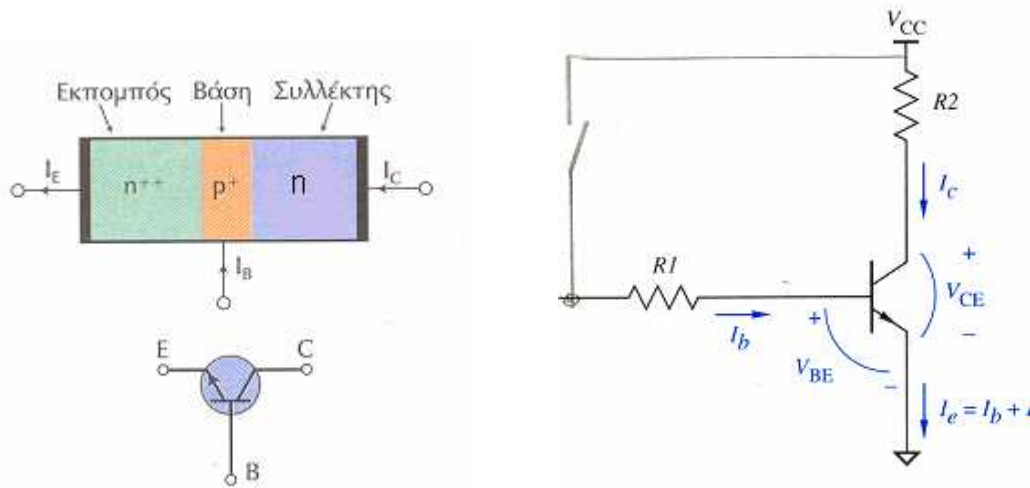
Η διάχυση ηλεκτρονίων-οπών στην περιοχή της επαφής προκαλεί επανασύνδεση των ζευγών ηλεκτρονίων-οπών και κατά συνέπεια στην περιοχή της επαφής δημιουργείται μια ζώνη απογύμνωσης από φορείς, η οποία ονομάζεται περιοχή φορτίων χώρου. Εκεί, δημιουργείται ηλεκτρικό πεδίο και φράγμα δυναμικού, που εμποδίζει την διάχυση των φορέων.

Η ορθή πόλωση έχει σαν αποτέλεσμα να υπερνικηθεί το φράγμα της περιοχής απογύμνωσης, ώστε περνά το ρεύμα διάχυσης. Η ανάστροφη πόλωση ενισχύει το φράγμα δυναμικού και αυξάνει την περιοχή απογύμνωσης, με αποτέλεσμα σχεδόν να μην διέρχεται ρεύμα.

Στα ψηφιακά κυκλώματα η δίοδος χρησιμοποιείται για να υλοποιεί τη λογική του διακόπτη ON-OFF.

1.8.1.2 Διπολικό τρανζίστορ

Το τρανζίστορ δημιουργείται με τρεις εμπλουτισμένες ημιαγωγικές περιοχές, n, p, n, όπως στο Σχήμα 1.15 (αριστερά). Αυτό είναι το λεγόμενο τρανζίστορ npn. Αντίστοιχα, μπορεί να δημιουργηθεί το τρανζίστορ pnp. Οι δύο επαφές pn πρέπει να πολώνονται εξωτερικά με dc τάσεις και ρεύματα.



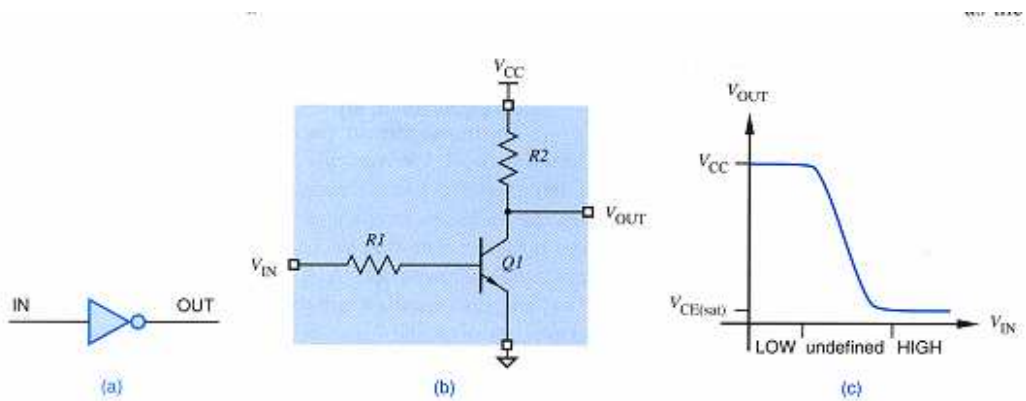
Σχήμα 1.15 Τρανζίστορ npn (αριστερά) και σε τρανζίστορ σε λειτουργία διακόπτη (δεξιά)

Στα ψηφιακά κυκλώματα, το τρανζίστορ λειτουργεί ως διακόπτης και τροφοδοτεί ή αποκόπτει μια αντίσταση φορτίου R_2 , όπως στο Σχήμα 1.15 (δεξιά).

Πολώνοντας ορθά τη βάση με ένα επαρκές δυναμικό, δημιουργείται ένα μεγάλο ρεύμα στο συλλέκτη. Τότε οι φορείς συσσωρεύονται στο συλλέκτη και το τρανζίστορ βρίσκεται στον κόρο.

Όταν η τάση στην είσοδο (στη βάση) γίνεται μηδέν, τότε το ρεύμα βάσης μηδενίζεται. Τότε μηδενίζεται και το ρεύμα του συλλέκτη, οπότε το τρανζίστορ έρχεται στην αποκοπή.

Με ένα διπολικό τρανζίστορ σε λειτουργία διακόπτη είναι δυνατό να υλοποιηθεί η λογική της πύλης NOT. Ολογισκός αντιστροφέας με τρανζίστορ φαίνεται στο Σχήμα 1.16.

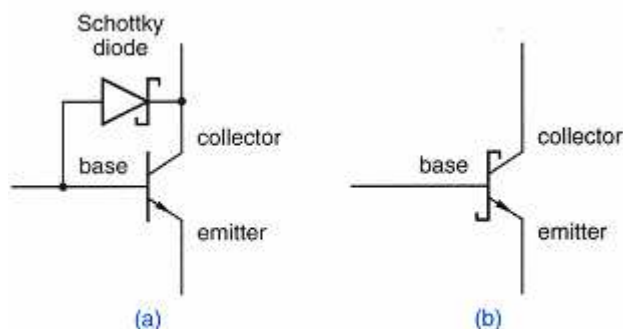


Σχήμα 1.16 Λογικός αντιστροφέας. (a) Κυκλωματικό σύμβολο, (b) κύκλωμα, (c) χαρακτηριστική εισόδου-εξόδου.

1.8.1.3 Υπο-οικογένειες TTL

Υπάρχουν πολλές υπο-οικογένειες TTL, με διαφορετικές προδιαγραφές ταχύτητας, κατανάλωσης ισχύος κλπ. Για παράδειγμα, η οικογένεια LS-TTL διαβάζεται Low power

Schottky και χρησιμοποιεί το λεγόμενο τρανζίστορ Schottky που αυξάνει την ταχύτητα μεταφοράς φορέων από τη μια περιοχή του τρανζίστορ στην άλλη. Στο Σχήμα 1.17 (α) φαίνεται η κατασκευή του τρανζίστορ Schottky, με τη βοήθεια μιας διόδου Schottky, ανάμεσα στη βάση και στο συλλέκτη. Στο Σχήμα 1.17 (b) φαίνεται το κυκλωματικό σύμβολο του τρανζίστορ Schottky.



Σχήμα 1.17 Τρανζίστορ Schottky

Τα σημερινά κυκλώματα TTL είναι κατασκευασμένα με βάση την τεχνολογία των τρανζίστορ και των διόδων Schottky. Οι ονομασίες των διαφόρων υπο-οικογενειών παρουσιάζονται παρακάτω:

74S <i>nn</i>	Schottky TTL
74LS <i>nn</i>	Low power Schottky TTL
74AS <i>nn</i>	Advanced Schottky TTL
74ALS <i>nn</i>	Advance Low power Schottky TTL
74F <i>nn</i>	Fast TTL

1.8.1.4 Πύλες AND και OR τεχνολογίας TTL

Στην οικογένεια ολοκληρωμένων κυκλωμάτων TTL χρησιμοποιούνται διόδοι και τρανζίστορ για να υλοποιηθούν λογικές λειτουργίες, δηλαδή λειτουργίες της δυαδικής λογικής και της άλγεβρας των διακοπών.

Η σχεδίαση μιας απλής πύλης AND με διόδους φαίνεται στο Σχήμα 1.18.

Διακρίνουμε τις εξής περιπτώσεις εισόδων:

1. $E_1=0, E_2=0$

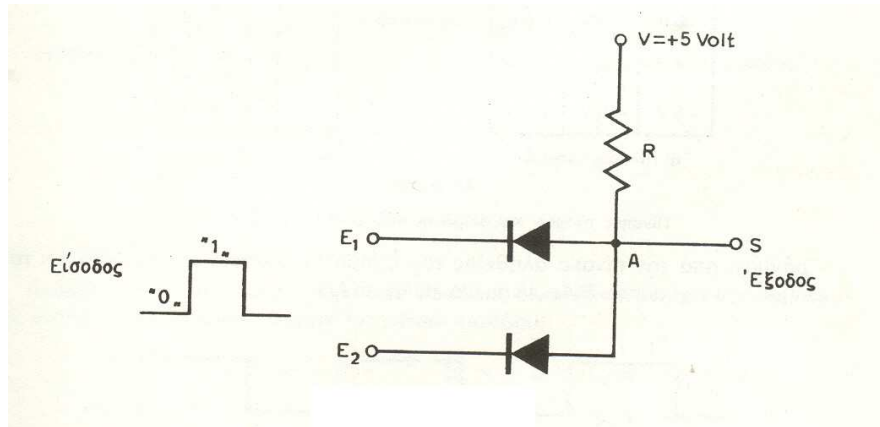
Ορθή πόλωση και στις δύο διόδους, άρα οι διόδοι ως διακόπτες είναι σε κατάσταση ON. Συνεπώς, στην έξοδο μεταφέρεται η κατάσταση των εισόδων: $S=0$.

2. $E_1=1, E_2=0$ ή $E_1=0, E_2=1$

Η διάδος D1 είναι σε κατάσταση ON, άρα η έξοδος $S=0$.

3. $E_1=1, E_2=1$. Οι διόδοι D1, D2 είναι σε κατάσταση OFF.

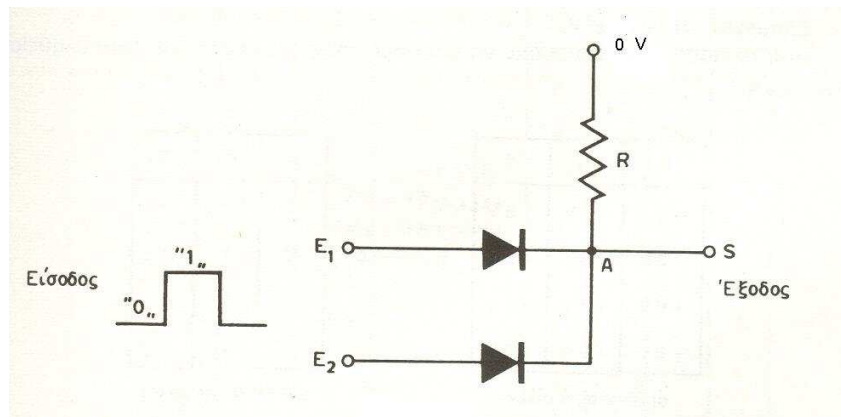
Άρα, η έξοδος έχει δυναμικό $S=+5V$ (λογικό 1).



Σχήμα 1.18 πύλη AND με διόδους

Η παραπάνω λογική υλοποιεί την πύλη AND.

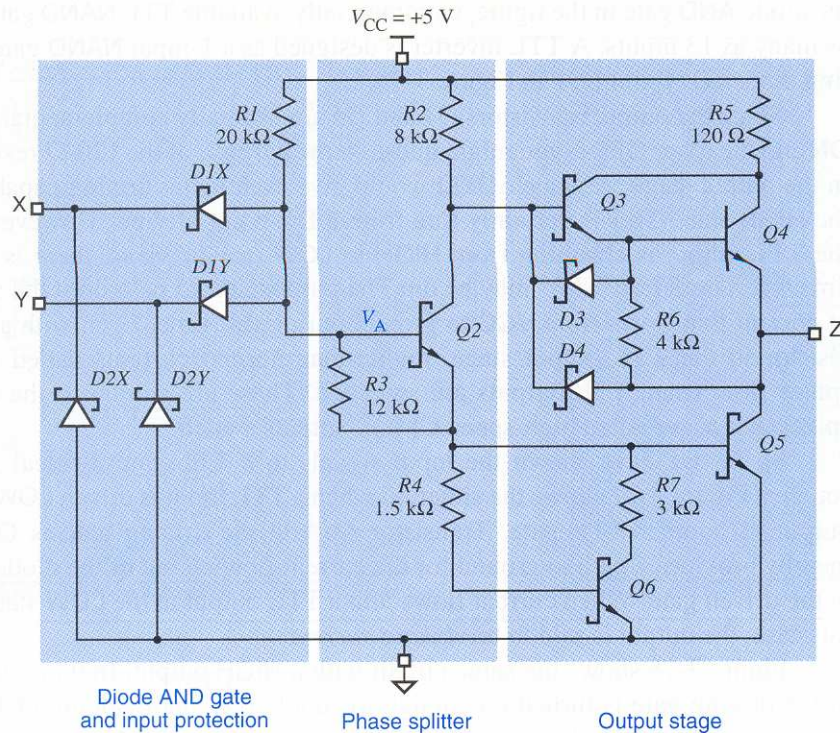
Αντίστοιχα, η πύλη OR υλοποιείται με διόδους, όπως φαίνεται στο Σχήμα 1.19. Η λειτουργία της μπορεί να επιβεβαιωθεί με βάση τη λειτουργία της διόδου ως διακόπτη σε κατάσταση ON ή OFF κατά την ορθή και την ανάστροφη πόλωση, αντίστοιχα.



Σχήμα 1.19 Πύλη OR με διόδους

1.8.1.5 Πύλη NAND TTL

Η βασική πύλη της οικογένειας TTL είναι η NAND (74LS00). Το κύκλωμα της πύλης NAND σε τεχνολογία TTL φαίνεται στο Σχήμα 1.20. Αυτή έχει στην είσοδο μια πύλη AND με διόδους, και ακολουθεί ένας αναστροφέας με τρανζίστορ. Η έξοδος αποτελείται από μια βαθμίδα push-pull που μπορεί να παρέχει επαρκές ρεύμα στην έξοδο. Η έξοδος μπορεί να δίνει ρεύμα (source) ή μπορεί να απάγει ρεύμα (sink).



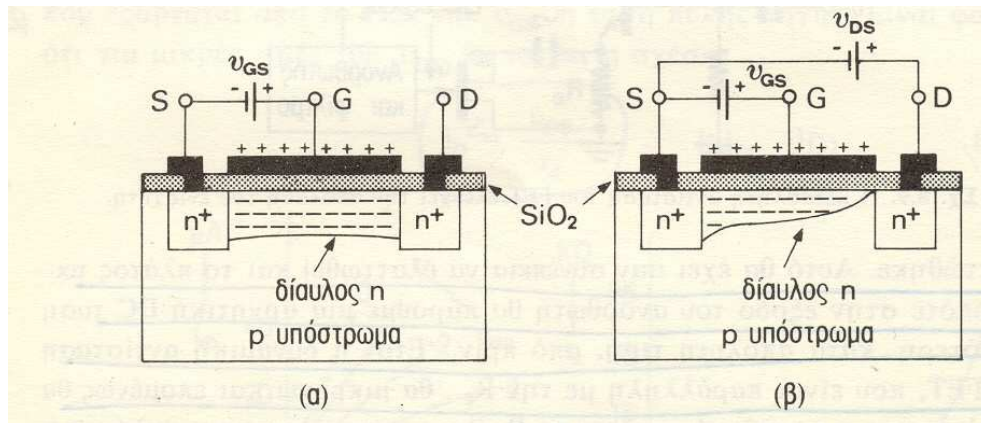
Σχήμα 1.20 Πύλη NAND τεχνολογίας TTL

1.8.2 Οικογένεια CMOS

Στις δεκαετίες '80 και '90 παρατηρήθηκε μια μετακίνηση της τεχνολογίας από τη λογική TTL προς μια νέα τεχνολογία ολοκληρωμένων κυκλωμάτων, που εξασφαλίζει υψηλότερη ολοκλήρωση, υψηλότερες ταχύτητες και μικρότερη κατανάλωση ισχύος. Υψηλότερη ολοκλήρωση, σημαίνει ότι είναι δυνατή η ανάπτυξη περισσότερων τρανζίστορ στην ίδια επιφάνεια πυριτίου, με αποτέλεσμα το κύκλωμα να επιτελεί περισσότερες λειτουργίες, σε σχέση με ένα TTL ίδιου μεγέθους. Υψηλότερες ταχύτητες, σημαίνει ότι τα κυκλώματα μπορούν να ανταποκριθούν σε μεγαλύτερες συχνότητες παλμών, απ' ό,τι τα TTL, καθώς η μετάβαση ανάμεσα στις καταστάσεις ON και OFF μπορεί να γίνει πιο γρήγορα. Η μικρότερη κατανάλωση ηλεκτρικής ισχύος είναι σημαντική, διότι με τον τρόπο αυτό τα κυκλώματα θερμαίνονται λιγότερο και μπορούν να λειτουργήσουν παρατεταμένα με μικρή μπαταρία.

Η Τεχνολογία CMOS στηρίζεται σε ένα νέο είδος τρανζίστορ, το MOSFET. Το τρανζίστορ αυτό, δεν είναι διπολικό, αλλά μονοπολικό, δηλαδή η αγωγιμότητά του στηρίζεται μόνον σε ένα είδος φορέων, ηλεκτρόνια ή οπές. Η ονομασία CMOS προέρχεται από τις λέξεις Complementary MOS. Ονομάζεται έτσι, επειδή στα ψηφιακά κυκλώματα, τα τρανζίστορ MOSFET χρησιμοποιούνται πάντα σε συμπληρωματικά ζεύγη, δηλαδή ένα n διαύλου και ένα p διαύλου.

Στο Σχήμα 1.21 (α) φαίνεται το τρανζίστορ MOSFET πρσαύξεσης με διάυλο τύπου n. Σε ένα υπόστρωμα ημιαγωγού τύπου p δημιουργούνται δύο περιοχές έντονης πρόσμιξης τύπου n, η πηγή (S) και ο απαγωγός (D). Ανάμεσά τους δημιουργείται μια περιοχή, που ονομάζεται διάυλος και όπου μπορούν να διαχυθούν φορείς πλειονότητας από την πηγή και τον απαγωγό, σε συνθήκες κατάλληλης πόλωσης.



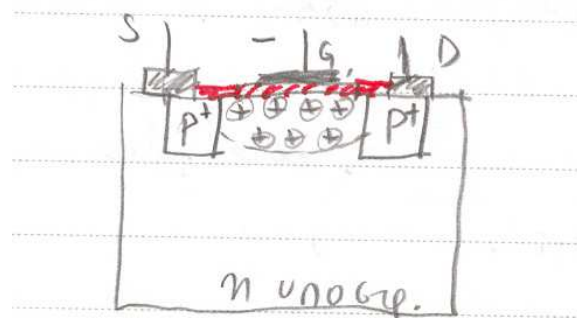
Σχήμα 1.21 Το τρανζίστορ MOSFET προσαύξησης (α). Με θετικό δυναμικό στην πύλη το τρανζίστορ άγει και βρίσκεται σε κατάσταση ON.

Το κεντρικό ηλεκτρόδιο είναι η πύλη (Gate). Η πύλη αναπτύσσεται πάνω σε ένα μονωτικό στρώμα διοξειδίου του πυριτίου (SiO_2). Έτσι, δημιουργείται μια επαλληλία στρώσεων Μετάλλου-Οξειδίου-Ημιαγωγού (Metal-Oxide-Semiconductor), απ' όπου προέρχεται η ονομασία MOS.

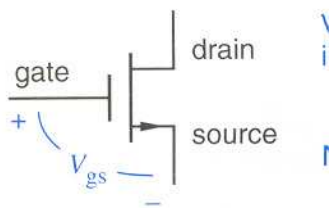
Όταν η πύλη (G) πολώνεται θετικά σε σχέση με την πηγή (S), ο πυκνωτής που δημιουργείται ανάμεσα στην πύλη και το υπόστρωμα, με ενδιάμεσο το διηλεκτρικό του μονωτικού στρώματος, φορτίζεται, έλκοντας αρνητικά φορτία στο διάυλο, όπως φαίνεται στο σχήμα. Με τον τρόπο αυτό, ο διάυλος γίνεται αγωγικός. Όπως φαίνεται στο Σχήμα 1.21 (β), με κατάλληλη πόλωση ανάμεσα στον απαγωγό και στην πηγή, ο διάυλος διαρέεται από ρεύμα και το τρανζίστορ ισοδυναμεί με κλειστό διακόπτη (ON).

Αν η πύλη πολωθεί αρνητικά σε σχέση με την πηγή, τότε ο διάυλος δεν ελκύει φορείς πλειονότητας και ο το τρανζίστορ είναι σε κατάσταση OFF.

Το συμπληρωματικό τρανζίστορ φαίνεται στο σχήμα 1.22. Η λειτουργία του είναι η αντίθετη από αυτή που περιγράψαμε παραπάνω, ώστε ο διάυλος έχει μεγάλη αγωγιμότητα όταν η πύλη πολωθεί αρνητικά σε σχέση με την πηγή.

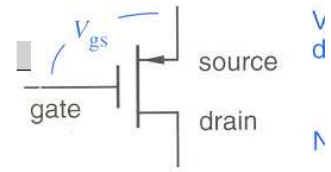


Σχήμα 1.22 Συμπληρωματικό τρανζίστορ MOSFET p διαύλου.



$$V_{gs} > 0,$$

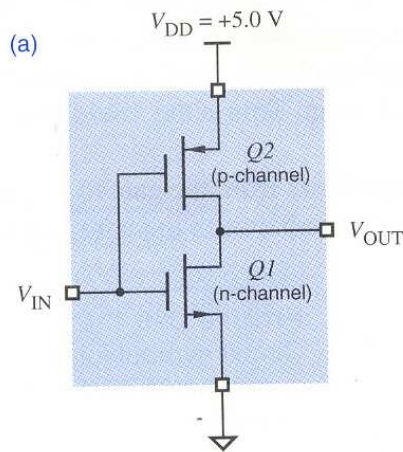
$$R_{ds} = 0$$



$$V_{gs} < 0,$$

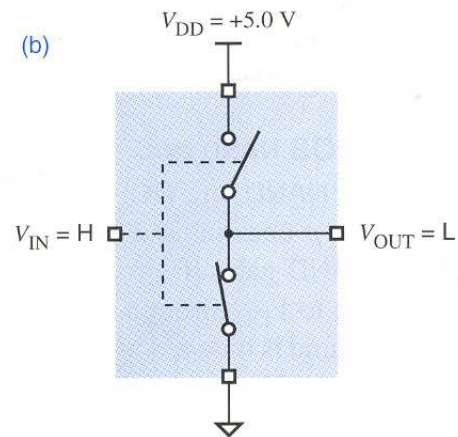
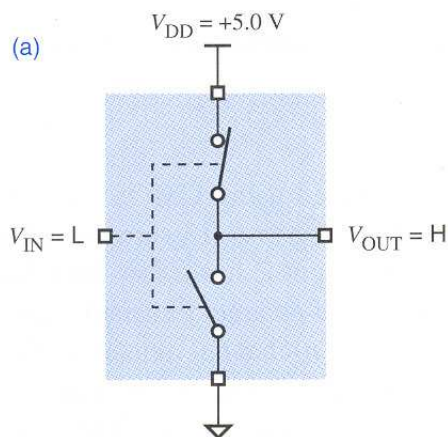
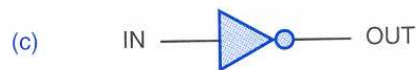
$$R_{ds} = 0$$

Σχήμα 1.23 Κυκλωματικά σύμβολα MOSFET η και p διαύλου και συνθήκες λειτουργίας σε κατάσταση ON (αντίσταση διαύλου $R_{ds}=0$)



(b)

V_{IN}	$Q1$	$Q2$	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)



Σχήμα 1.24 Ο βασικός αντιστροφέας με συμπληρωματικά τρανζίστορ MOSFET. Πάνω: (α) κύκλωμα, (β) πίνακας λειτουργίας. Κάτω: (α) και (β) μοντέλο διακοπών.

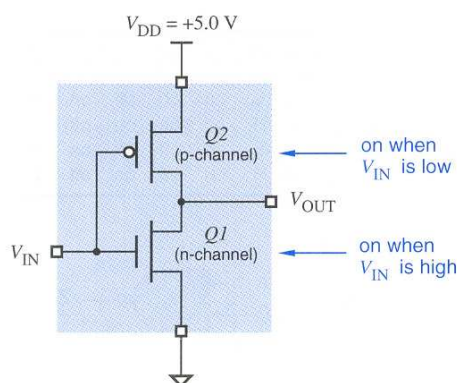
Στα τρανζίστορ MOSFET, η αντίσταση της πύλης είναι πολύ μεγάλη, εξαιτίας του μονωτικού στρώματος SiO₂. Άρα, το ρεύμα της πύλης είναι σχεδόν μηδέν και συνεπώς μειώνεται η συνολική κατανάλωση.

Το τρανζίστορ MOSFET λειτουργεί με την επίδραση του ηλεκτρικού πεδίου της πύλης και όχι του ρεύματος, όπως συμβαίνει στο διπολικό τρανζίστορ. Από την ιδιότητα αυτή προέρχεται ο χαρακτηρισμός «Τρανζίστορ Επίδρασης Πεδίου» (Field Effect Transistor-FET).

1.8.3 Ο βασικός CMOS αντιστροφέας

Στο σχήμα 1.25 φαίνεται η πύλη NOT με τεχνολογία CMOS. Το MOS p-διαύλου έχει αντίθετη συμπεριφορά από το MOS n-διαύλου. Δηλαδή, κλείνει όταν στην είσοδο έχει LOW. Τότε, εξαιτίας της πόλωσης V_{DD}, η πύλη είναι αρνητική σε σχέση με την πηγή και το p-MOS άγει.

Στο παρακάτω σχήμα 1.25, φαίνεται ο συνήθης συμβολισμός των συμπληρωματικών τρανζίστορ, που έχει επικρατήσει, όπου το τρανζίστορ p διαύλου συμβολίζεται με τον κύκλο στην πύλη (active low).



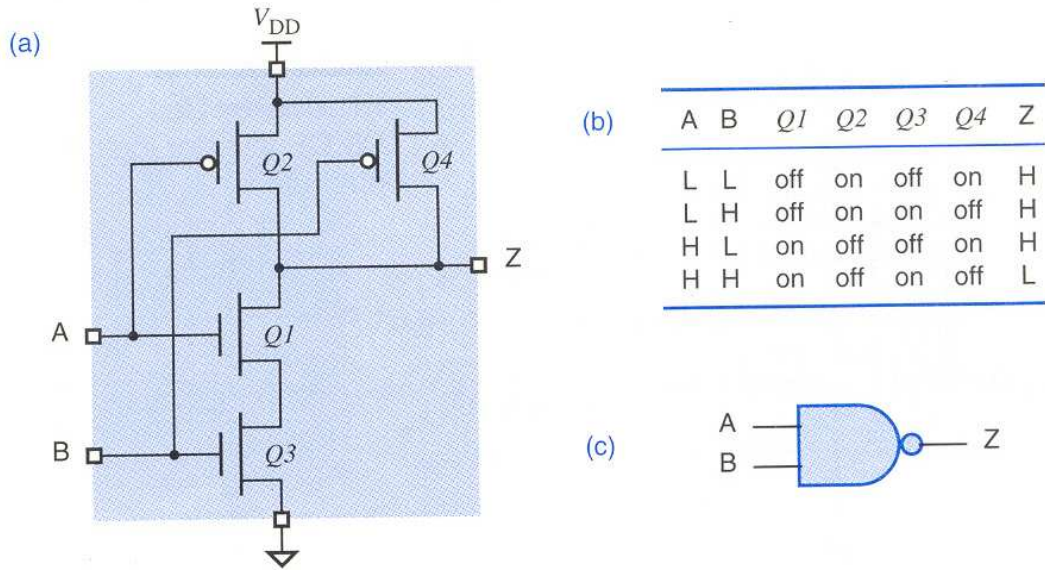
Σχήμα 1.25 Συνήθης συμβολισμός των συμπληρωματικών τρανζίστορ

Ο κύκλος υποδηλώνει ότι το τρανζίστορ p-διαύλου είναι ενεργό (ON) όταν στην πύλη έχει LOW, ενώ το αντίστροφο συμβαίνει με το n-MOS.

1.8.4 CMOS NAND και NOR

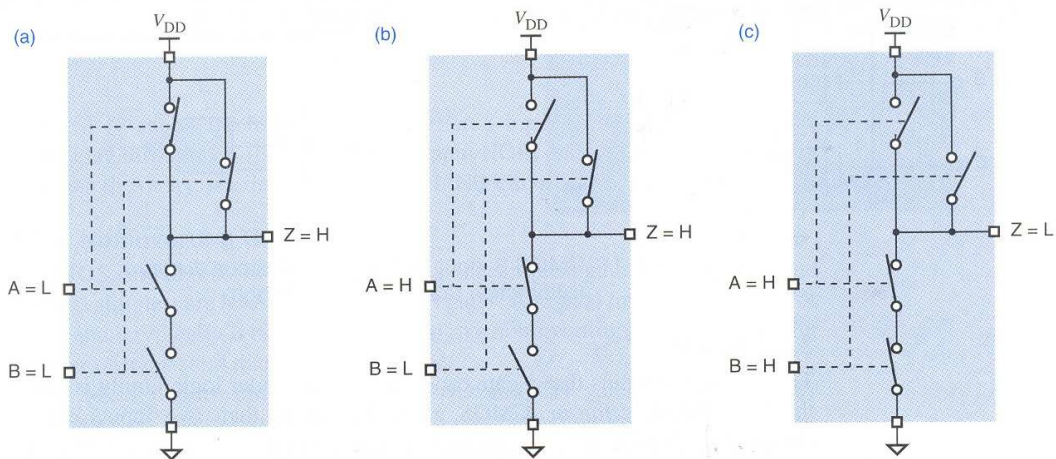
Για την κατασκευή πύλης NAND με k εισόδους χρειαζόμαστε k n-διαύλου και k p-διαύλου MOSFET τρανζίστορ.

Το κύκλωμα μιας πύλης NAND δύο εισόδων φαίνεται στο Σχήμα 1.26 (a). Στο σχήμα 1.26 (b) φαίνεται η λειτουργική κατάσταση των τρανζίστορ για κάθε περίπτωση εισόδων, καθώς και η αντίστοιχη κατάσταση των εξόδων.



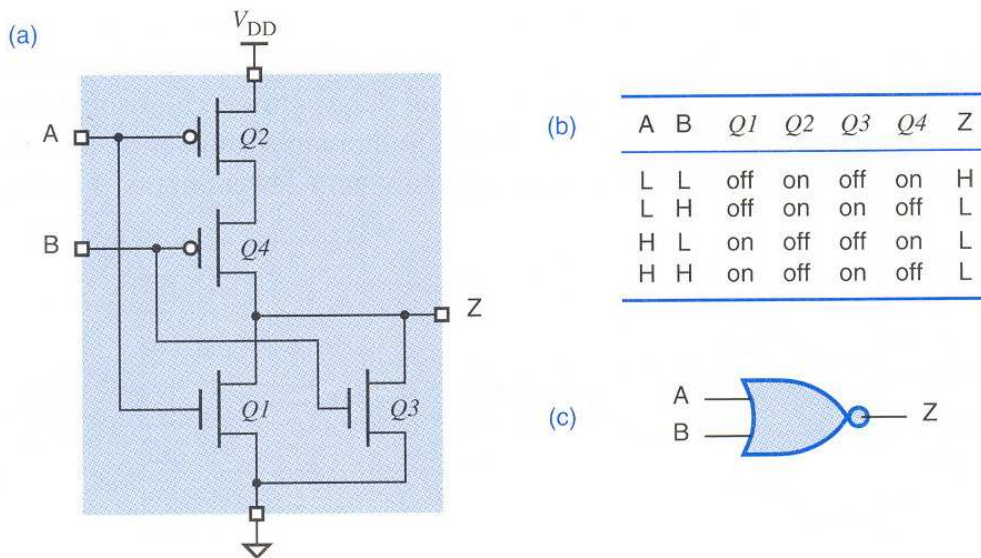
Σχήμα 1.26 Πύλη NAND δύο εισόδων με τεχνολογία CMOS.

Όταν μία από τις δύο εισόδους είναι LOW, τότε ενεργοποιείται (ON) το ένα από τα δύο p-ch MOS και η έξοδος βρίσκει μια χαμηλής αντίστασης διαδρομή προς την τάση V_{DD}. Ταυτόχρονα, η διαδρομή προς τη γη εμποδίζεται από το n-MOS που είναι OFF. Το αντίστοιχο μοντέλο διακοπτών φαίνεται στο Σχήμα 1.27.



Σχήμα 1.27 Μοντέλο διακοπτών για την πύλη NAND δύο εισόδων.

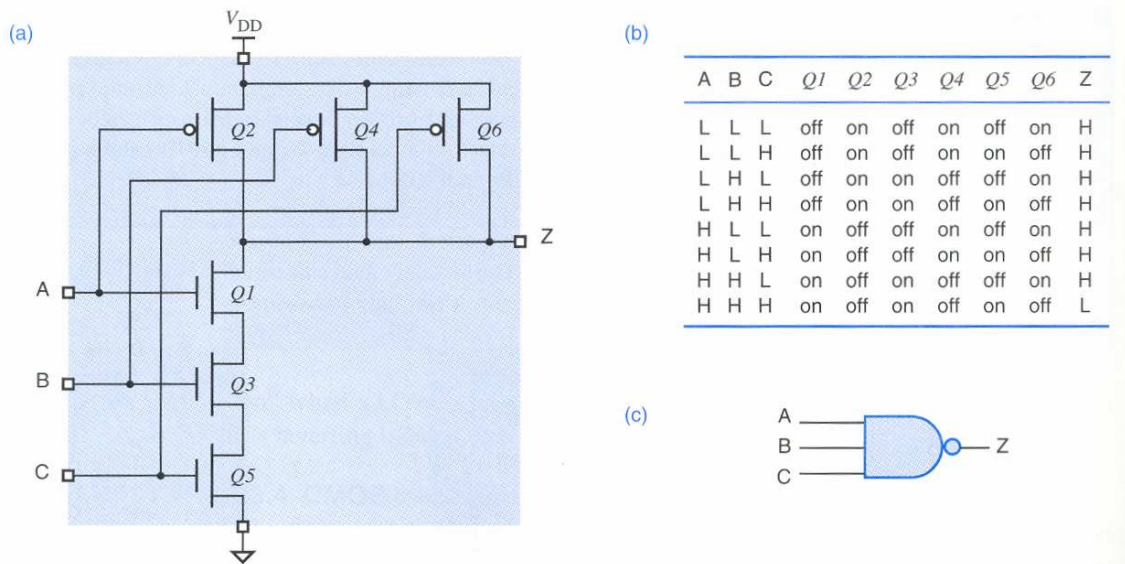
Αντίστοιχα, η πύλη NOR με τεχνολογία CMOS φαίνεται στο Σχήμα 1.28. Όπως φαίνεται, για την πύλη NOR χρησιμοποιούμε αντίστροφη διάταξη. Τα p-MOS είναι σε σειρά και τα n-MOS παράλληλα: Το μοντέλο διακοπτών για την πύλη NOR μπορεί να σχεδιαστεί ως άσκηση.



Σχήμα 1.28 Πύλη NOR δύο εισόδων με τεχνολογία CMOS και πίνακας αληθείας

1.8.5 Πύλες με περισσότερες εισόδους

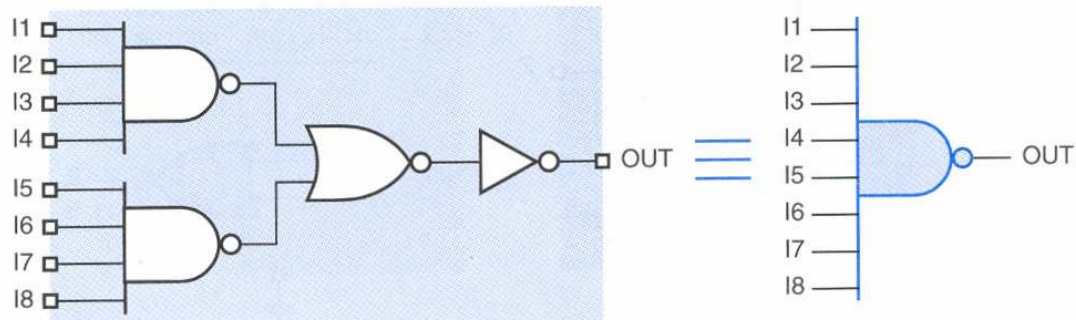
Για τη δημιουργία πυλών με περισσότερες εισόδους τοποθετούνται περισσότερα τρανζίστορ σε σειρά ή παράλληλα, όπως φαίνεται για την πύλη NAND τριών εισόδων στο Σχήμα 1.29.



Σχήμα 1.29 Πύλη NAND τριών εισόδων

Ο αριθμός εισόδων μιας πύλης σε μια συγκεκριμένη λογική οικογένεια ονομάζεται fan-in της λογικής οικογένειας. Όσο αυξάνει το fan-in τόσο αυξάνει ο αριθμός των τρανζίστορ σε σειρά (βλέπε για παράδειγμα τα τρανζίστορ Q1, Q3 στη NAND), οπότε αυξάνει η αντίσταση σειράς. Αυτό δημιουργεί περιορισμούς, οπότε είναι καλύτερα να συνδυάζουμε πύλες με

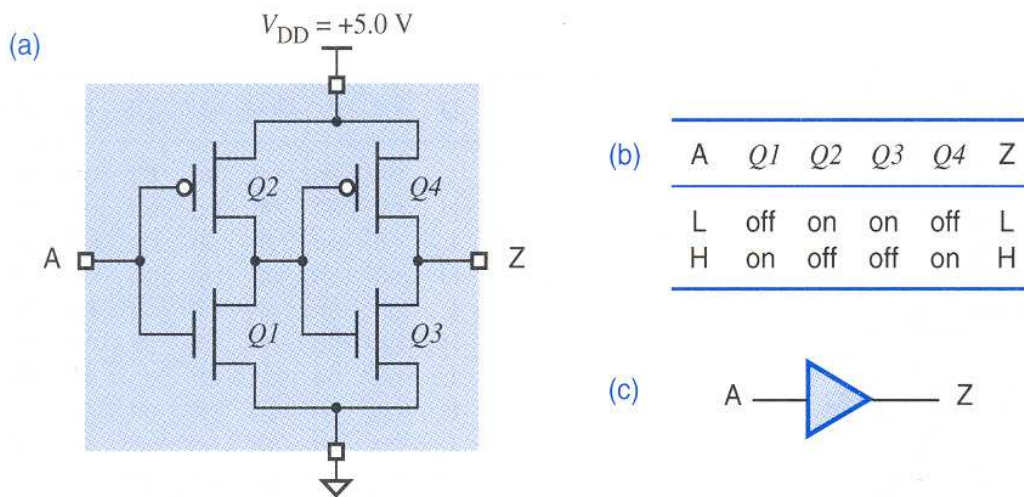
λιγότερες εισόδους, που επιτυγχάνουν την ίδια λειτουργικότητα. Μια τέτοια διάταξη φαίνεται στο Σχήμα 1.30.



Σχήμα 1.30 Σχεδίαση πύλης NAND οκτώ εισόδων

1.8.6 Μη αναστρέφουσες πύλες CMOS

Στις περισσότερες ψηφιακές οικογένειες οι απλούστερες πύλες είναι οι αναστρέφουσες (NAND, NOR, NOT). Για να πετύχουμε την μη-αντιστροφή, πρέπει να βάλουμε στην έξοδο έναν ακόμη αντιστροφέα. Έτσι, ο μη-αναστρέφων απομονωτής (buffer) δημιουργείται όπως φαίνεται στο Σχήμα 1.31.



Σχήμα 1.31. Μη αναστρέφων απομονωτής και πίνακας αληθείας

Ο ρόλος του απομονωτή είναι να δημιουργεί κατάλληλη προσαρμογή ανάμεσα σε βαθμίδες. Δηλαδή, εμφανίζει μεγάλη αντίσταση εισόδου και μικρή αντίσταση εξόδου. Με τον τρόπο αυτό μπορεί να παρέχει υψηλό ρεύμα σε επόμενες βαθμίδες.

1.8.7 Ηλεκτρικά χαρακτηριστικά CMOS

Τα ηλεκτρικά χαρακτηριστικά που πρέπει να λαμβάνονται υπόψη κατά τη σχεδίαση ενός ψηφιακού κυκλώματος με πύλες CMOS είναι τα εξής:

Λογικά επίπεδα δυναμικού: Οι εξόδοι των ψηφιακών πυλών παράγουν low και high καταστάσεις σε συγκεκριμένα όρια, ενώ οι εισοδοί αναγνωρίζουν αυτές τις καταστάσεις σε κάπως ευρύτερα όρια. Έτσι, υπάρχει το λεγόμενο «περιθώριο θορύβου dc». Τα περιθώρια αυτά εγγυώνται ότι η μεγαλύτερη τιμή που μπορεί να παράγει μια έξοδος σαν low είναι μικρότερη από την μεγαλύτερη τιμή που καταλαβαίνει σαν low μια είσοδος.

Αντίστροφα: Η μικρότερη τιμή σε κατάσταση high μιας εξόδου είναι μεγαλύτερη από την μικρότερη τιμή που καταλαβαίνει σαν high μια είσοδος.

Fanout: Ο μέγιστος αριθμός οδηγούμενων εισόδων από μία έξοδο, χωρίς δυσάρεστες επιπτώσεις στην κατανάλωση ισχύος και στην ταχύτητα.

Ταχύτητα: Ο χρόνος που χρειάζεται μια CMOS έξοδος για να έρθει από το LOW στο HIGH. (Καθορίζεται από τον χρόνο μετάβασης και τον χρόνο διάδοσης).

Κατανάλωση ισχύος: Εξαρτάται από την εσωτερική δομή του CMOS, τα σήματα που λαμβάνει, τις εισόδους που οδηγεί, τη συχνότητα εναλλαγών low-high.

Ευαισθησία στο θόρυβο: Ο θόρυβος μπορεί να προέρχεται από βιομηχανικές εγκαταστάσεις και μηχανές, διαταραχές της τροφοδοσίας ή και από τις εναλλαγές low-high μέσα στο ίδιο το κύκλωμα.

Ευαισθησία στην ηλεκτροστατική εκφόρτιση (EDC-electrostatic discharge). Η συσσώρευση στατικών φορτίων στην πύλη των MOSFET τρανζίστορ έχει δυσάρεστες επιπτώσεις, καθώς μπορεί να προκαλέσει διάτρηση του μονωτικού στρώματος SiO₂ και καταστροφή του τρανζίστορ. Για το λόγο αυτό, απαιτείται προσοχή στο χειρισμό των ολοκληρωμένων κυκλωμάτων CMOS.

Είδος εξόδων (ανοικτού απαγωγού, τριών καταστάσεων).

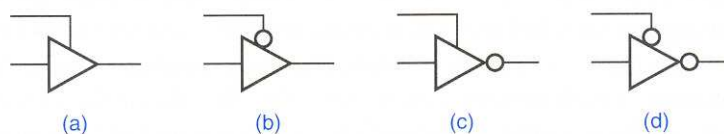
Οι μη χρησιμοποιούμενες εισοδοί των πυλών CMOS πρέπει να προσδένονται σε άλλες εισόδους που χρησιμοποιούνται ή να οδηγούνται σταθερά στα 5V.

1.9 Απομονωτές τριών καταστάσεων (tri-state)

Ο απομονωτής τριών καταστάσεων είναι συνδυαστικό κύκλωμα με μία είσοδο και μία έξοδο και διαθέτει και μία είσοδο ενεργοποίησης (enable). Η έξοδος του απομονωτή τριών καταστάσεων, αντίθετα με τις συνήθεις λογικές πύλες, μπορεί να λάβει εκτός από τις γνωστές τιμές «λογικό 0» και «λογικό 1» και μία ακόμη τιμή, τη λεγόμενη «High Z» και η οποία αντιστοιχεί σε κατάσταση υψηλής αντίστασης. Δηλαδή, όταν η έξοδος λαμβάνει αυτή την τιμή, τότε η αντίσταση της εξόδου του κυκλώματος είναι τόσο μεγάλη, που μπορούμε να πούμε ότι η έξοδος είναι στον αέρα, σαν να μην είναι συνδεδεμένη (floating). Στους

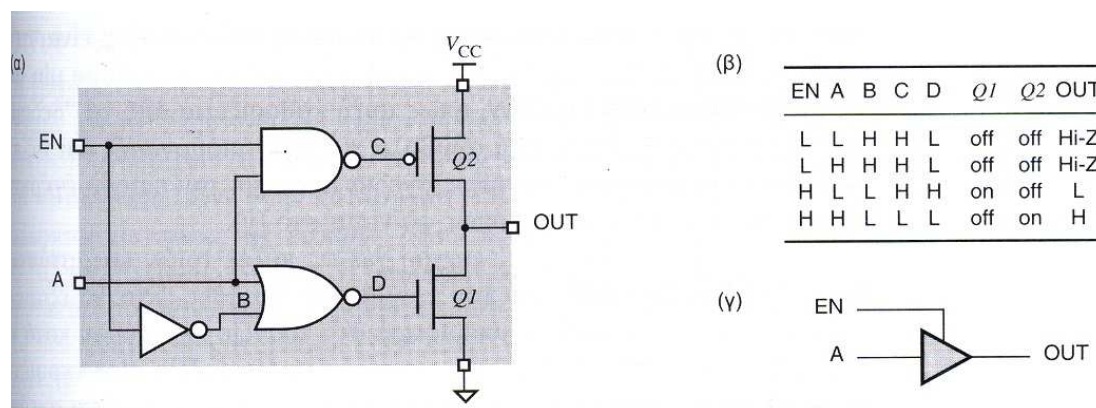
απομονωτές τριών καταστάσεων, η έξοδος λαμβάνει την τιμή «High Z», όταν η είσοδος ενεργοποίησης δεν είναι ενεργή.

Στο παρακάτω Σχήμα 1.32, παρουσιάζονται τέτοιες περιπτώσεις απομονωτών τριών καταστάσεων, με τα κυκλωματικά τους σύμβολα. Παρατηρείστε ότι η είσοδος ενεργοποίησης (enable) μπορεί να ενεργοποιείται με λογικό 0 (active low), οπότε έχει στη βάση της το γνωστό κυκλάκι ή με λογικό 1 (active high). Επίσης, ο απομονωτής μπορεί να είναι μη αναστρέφων (οι δυο πρώτες περιπτώσεις) ή αναστρέφων. Για παράδειγμα, στην τελευταία περίπτωση (d), αν η είσοδος είναι 1 και η γραμμή ενεργοποίησης λάβει 0, τότε η έξοδος λαμβάνει λογικό 0. Αν η είσοδος ενεργοποίησης λάβει 1, τότε η έξοδος είναι σε κατάσταση «High Z».



Σχήμα 1.32 Κυκλωματικά διαγράμματα διαφόρων περιπτώσεων απομονωτών τριών καταστάσεων.

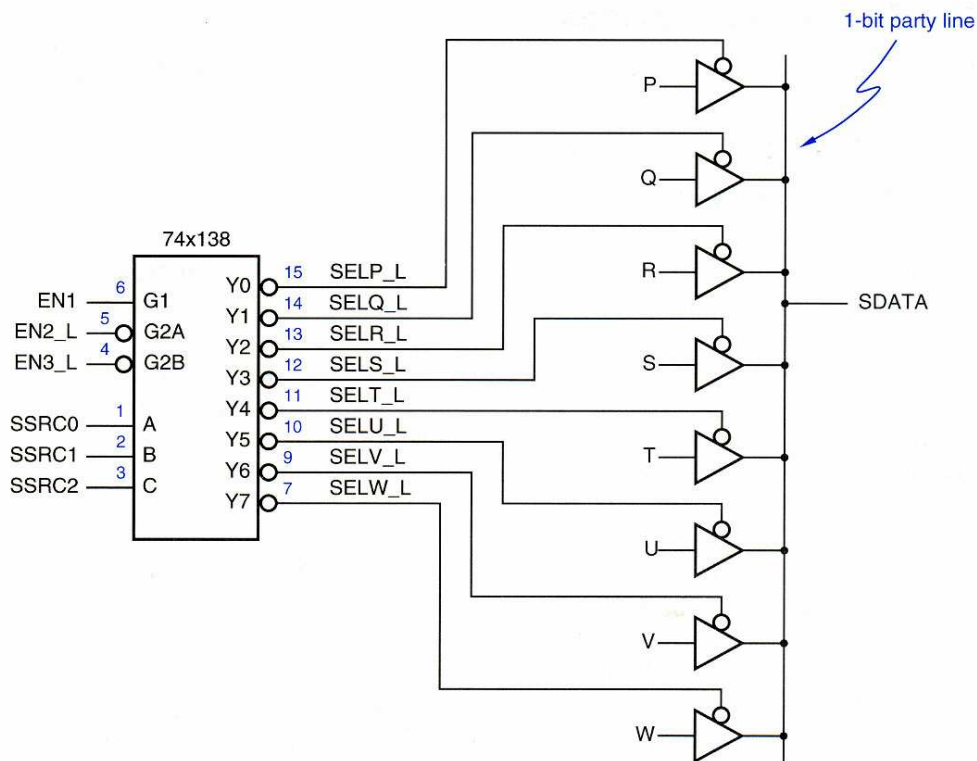
Στο Σχήμα 1.33 φαίνεται η υλοποίηση ενός απομονωτή τριών καταστάσεων, με τρανζίστορ MOSFET στην έξοδο.



Σχήμα 1.33 (α) Υλοποίηση του απομονωτή, (β) Πίνακας αληθείας, (γ) Κυκλωματικό σύμβολο.

Οι απομονωτές τριών καταστάσεων είναι απαραίτητοι εκεί που παραπάνω από μία πηγές σημάτων πρέπει να εξάγουν το αποτέλεσμά τους σε μία γραμμή, που μεταφέρει τα σήματα. Τέτοια γραμμή που μπορεί να λάβει δεδομένα από διάφορες πηγές ονομάζεται διάδρομος (bus). Στο παρακάτω σχήμα, οκτώ πηγές ψηφιακών σημάτων P έως W εξάγουν δεδομένα στη γραμμή SDATA, μέσω απομονωτών τριών καταστάσεων. Κάθε φορά, μόνον ένας απομονωτής είναι ενεργός, καθώς οι είσοδοι ενεργοποίησης ελέγχονται μέσω ενός αποκωδικοποιητή 3:8. Έτσι, δεν υπάρχει περίπτωση να γίνει «σύγκρουση» (collision) δεδομένων στον διάδρομο.

Ένας αποκωδικοποιητής, όπως αυτός του Σχήματος 1.34, σε συνδυασμό με απομονωτές τριών καταστάσεων, λειτουργεί στην ουσία ως πολυπλέκτης. Έτσι, ο σχεδιασμός διαδρόμων στα ψηφιακά συστήματα μπορεί να γίνει ισοδύναμα με κυκλώματα tri-state ή με πολυπλέκτη.

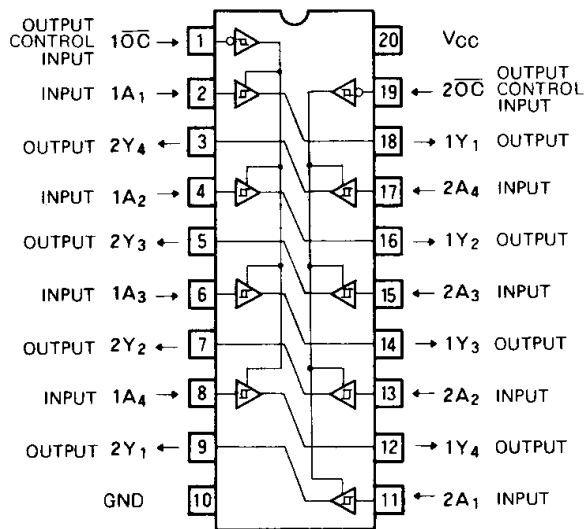


Σχήμα 1.34 Οκτώ διαφορετικές πηγές δεδομένων εξάγουν αποτελέσματα σε έναν διάδρομο SDATA. Η επιλογή της πηγής γίνεται με τη βοήθεια αποκωδικοποιητή.

1.9.1 Ολοκληρωμένοι απομονωτές τριών καταστάσεων

Οι κατασκευαστές ολοκληρωμένων κυκλωμάτων παράγουν κυκλώματα της τυπικής λογικής που περιέχουν έναν αριθμό απομονωτών τριών καταστάσεων. Τέτοια κυκλώματα είναι το 74LS244 που περιέχει δύο τετράδες απομονωτών τριών καταστάσεων, όπου η κάθε τετράδα έχει κοινή γραμμή ενεργοποίησης. Στο Σχήμα 1.35 φαίνεται το διάγραμμα ακροδεκτών και ο πίνακας αληθείας.

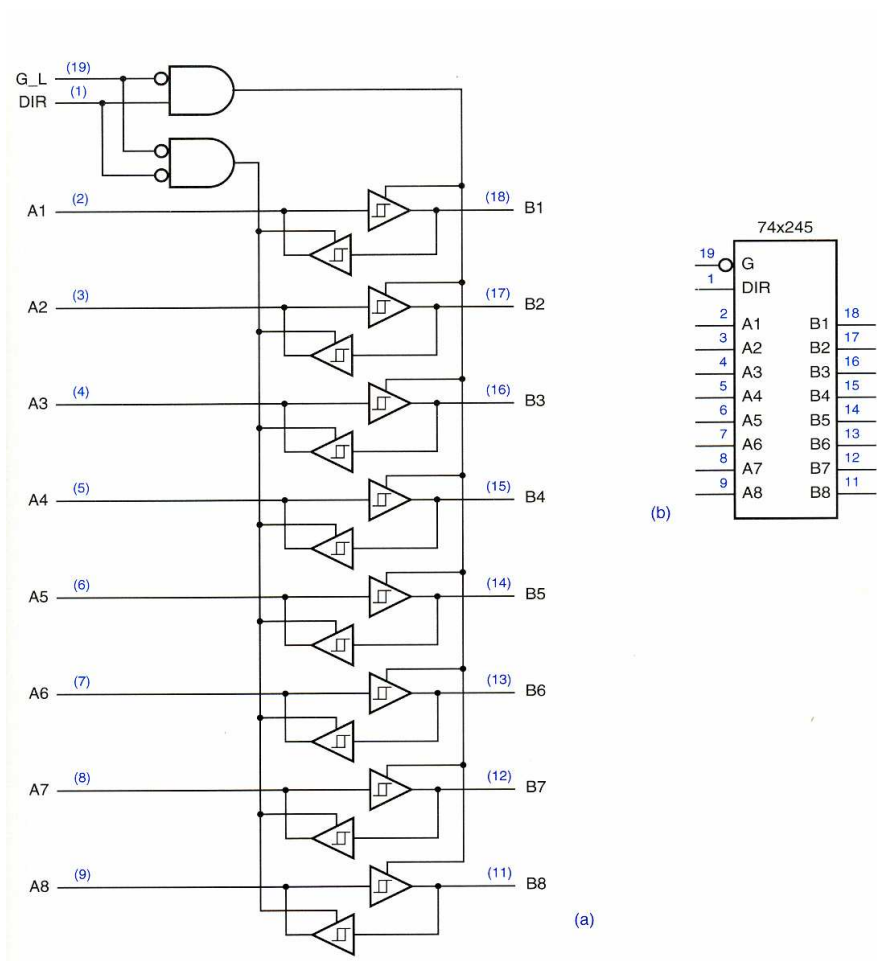
Στο Σχήμα 1.36 φαίνεται ένα άλλο διαδεδομένο κύκλωμα της τυπικής λογικής, που περιέχει κυκλώματα τριών καταστάσεων, το 74LS245. Το κύκλωμα αυτό λειτουργεί ως Transceiver, δηλαδή μπορεί να μεταφέρει δεδομένα από δεξιά προς τα αριστερά ή από αριστερά προς τα δεξιά, διασφαλίζοντας την ελεγχόμενη επικοινωνία δεδομένων ανάμεσα σε δύο διαδρόμους.



A	\overline{OC}	Y
L	L	L
H	L	H
X	H	Z

Note 1: Z : high-impedance
X : irrelevant

Σχήμα 1.35 Διάγραμμα ακροδεκτών και πίνακας αληθείας του ολοκληρωμένου κυκλώματος 74LS244, που περιέχει δύο τετράδες απομονωτών τριών καταστάσεων.

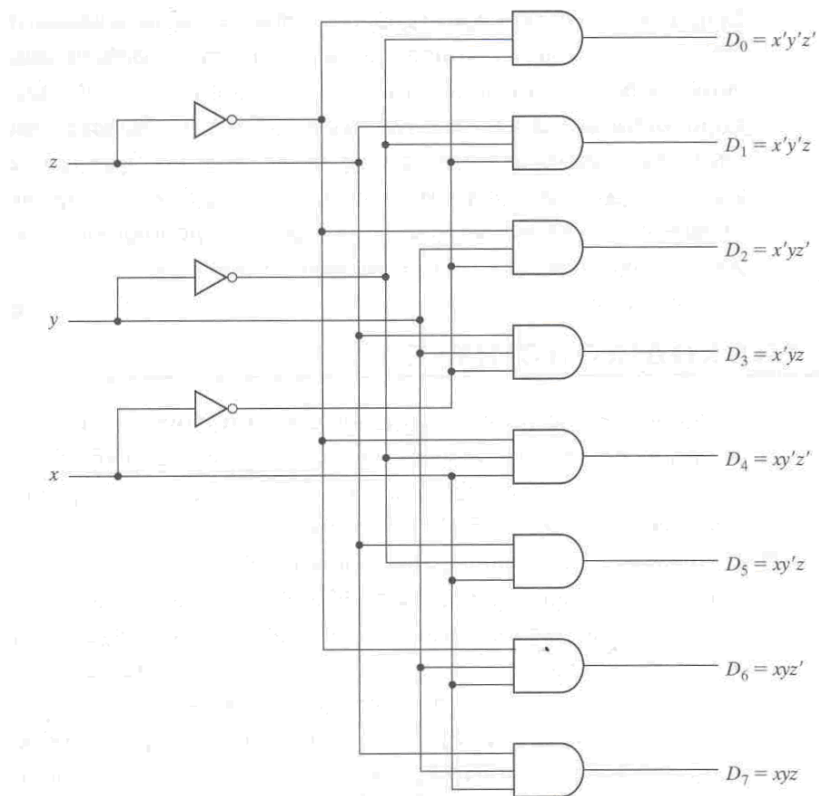


Σχήμα 1.36 Λειτουργικό διάγραμμα και διάγραμμα ακροδεκτών του ολοκληρωμένου transceiver 74LS245.

1.10. Αποκωδικοποιητές

Ο *αποκωδικοποιητής* είναι ένα κύκλωμα με n εισόδους και m εξόδους, όπου $m \leq 2^n$. Για κάθε συνδυασμό των εισόδων, ο αποκωδικοποιητής επιλέγει μία από τις m εξόδους και τη φέρνει σε λογικό 1, ενώ οι υπόλοιπες παραμένουν σε λογικό μηδέν. Ο όρος «αποκωδικοποιητής» χρησιμοποιείται και γενικότερα, για να χαρακτηρίσει ένα κύκλωμα που μετατρέπει ένα δυαδικό κώδικα από τη μία μορφή σε άλλη. Το κύκλωμα που μετατρέπει τον κώδικα BCD σε πληροφορία κατάλληλη για ενδείκτη επτά τομέων (BCD-to-7 segment) είναι μια μορφή αποκωδικοποιητή (βλέπε παράγραφο 1.11).

Ένας αποκωδικοποιητής 3 σε 8 φαίνεται στο παρακάτω σχήμα 1.37. Οι τρεις εισόδοι αποκωδικοποιούνται σε οκτώ εξόδους, ώστε για καθέναν από τους οκτώ συνδυασμούς των εισόδων, μόνο μία έξοδος είναι ενεργή. Η κάθε έξοδος αντιπροσωπεύει έναν από τους



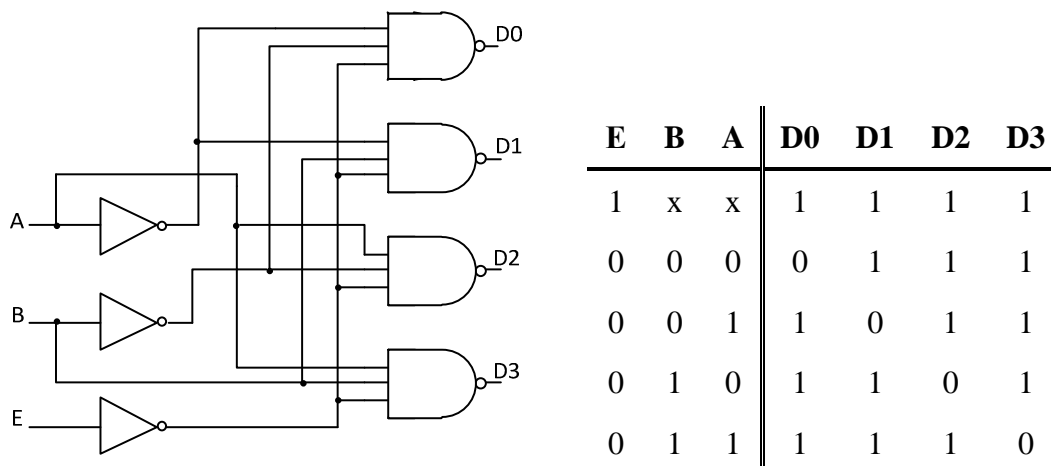
Σχήμα 1.37 Κύκλωμα αποκωδικοποιητή 3 σε 8. Στις εξόδους παράγονται οι ελάχιστοι όροι που αντιστοιχούν στις μεταβλητές εισόδου.

Πίνακας αληθείας ενός αποκωδικοποιητή 3-σε-8

Είσοδοι			Έξοδοι							
x	y	z	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Σχήμα 1.38 Πίνακας αληθείας αποκωδικοποιητή 3 σε 8.

ελάχιστους όρους (minterms) των n μεταβλητών εισόδου. Για παράδειγμα, όταν οι εισοδοί x, y, z είναι 000, τότε ο ελάχιστος όρος που παράγεται είναι ο $x'y'z'$, στην έξοδο D₀. Ο αντίστοιχος πίνακας αληθείας φαίνεται στο σχ. 1.38. Συχνά, οι έξοδοι του αποκωδικοποιητή σχεδιάζονται ώστε να είναι ενεργές με το λογικό μηδέν (active low). Τότε, όλες οι υπόλοιπες μη ενεργές έξοδοι είναι σε λογικό ένα. Επίσης, οι αποκωδικοποιητές φέρουν συχνά και είσοδο «επίτρεψης» (enable), ώστε όταν η είσοδος επίτρεψης είναι ενεργή, τότε ο αποκωδικοποιητής επιλέγει και καθιστά ενεργή μία από τις εξόδους. Όταν, όμως, η είσοδος επίτρεψης είναι ανενεργή, τότε όλες οι εξόδους είναι ανενεργές. Στο Σχήμα 1.39 φαίνεται ένας αποκωδικοποιητής 2 προς 4, με είσοδο επίτρεψης και με εξόδους ενεργές σε λογικό μηδέν.

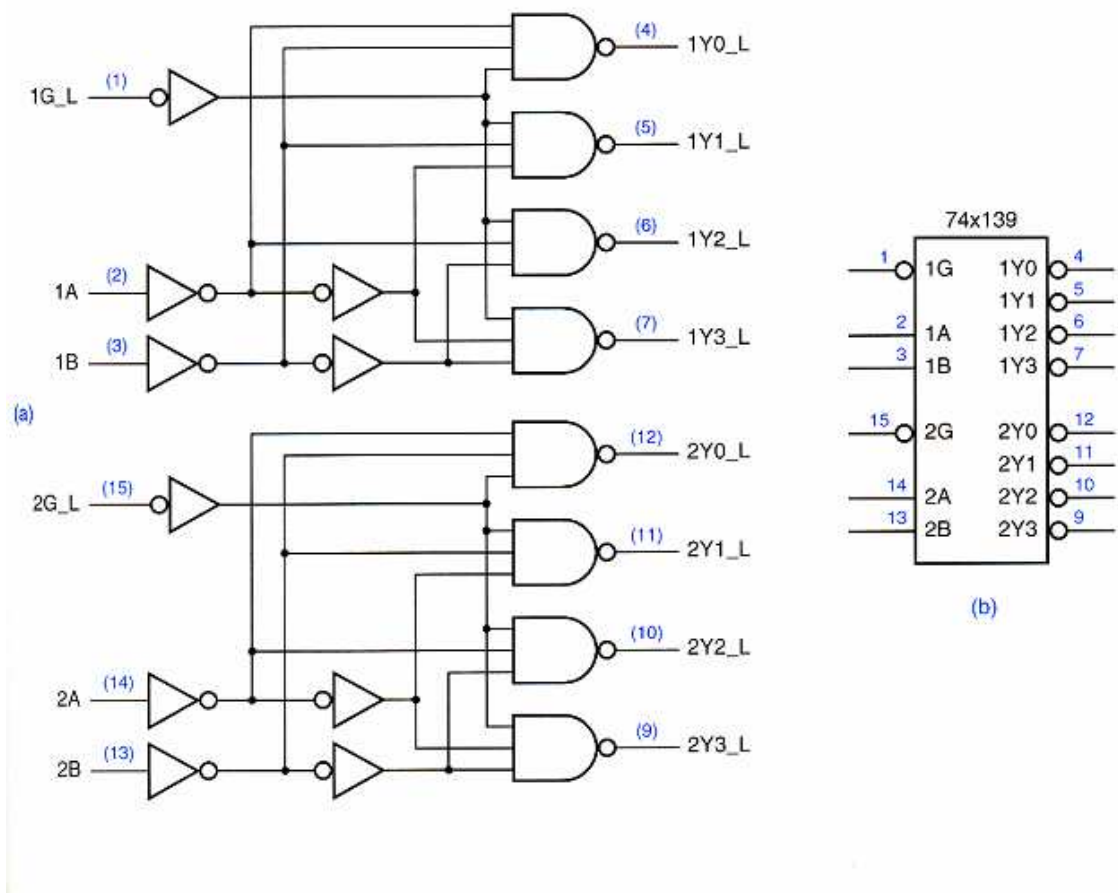


Σχήμα 1.39 Κυκλωματικό διάγραμμα και πίνακας αληθείας αποκωδικοποιητή 2 σε 4, με είσοδο επίτρεψης (enable) και εξόδους ενεργές σε λογικό μηδέν

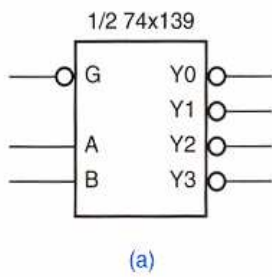
1.10.1 Ολοκληρωμένοι αποκωδικοποιητές

Η σειρά 74xxx της τυπικής λογικής περιλαμβάνει αποκωδικοποιητές 2:4, 3:8 και 4:16 με τη μορφή ολοκληρωμένων κυκλωμάτων μεσαίας κλίμακας ολοκλήρωσης. Συγκεκριμένα, το κύκλωμα 74LS139 είναι ένας διπλός αποκωδικοποιητής 2:4 με είσοδο επίτρευσης. Στο Σχήμα 1.40 (a) παρουσιάζεται το κυκλωματικό διάγραμμα του διπλού αποκωδικοποιητή 2:4 που περιέχεται στο ολοκληρωμένο κύκλωμα 74139 και το διάγραμμα ακροδεκτών (b).

Στο σχήμα 1.41 παρουσιάζεται η απλή λειτουργική βαθμίδα του απλού αποκωδικοποιητή 74139 και ο πίνακας αληθείας του κυκλώματος.

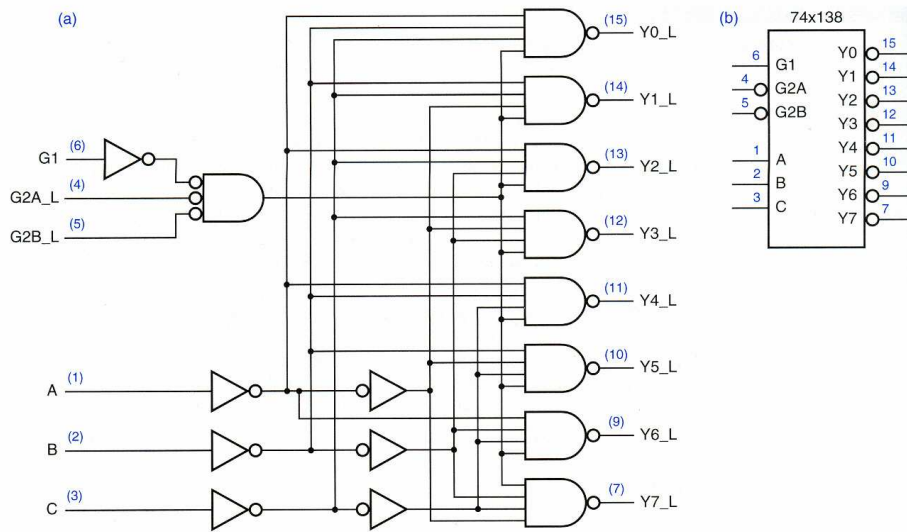


Σχήμα 1.40 Κυκλωματικό διάγραμμα (a) και διάγραμμα ακροδεκτών (b) του OK 74139



Inputs			Outputs			
G_L	B	A	Y3_L	Y2_L	Y1_L	Y0_L
1	x	x	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

Σχήμα 1.41 Λειτουργική βαθμίδα του αποκωδικοποιητή 74139 και πίνακας αληθείας



Inputs						Outputs							
G1	G2A_L	G2B_L	C	B	A	Y7_L	Y6_L	Y5_L	Y4_L	Y3_L	Y2_L	Y1_L	Y0_L
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

Σχήμα 1.42 Δυαδικός αποκωδικοποιητής 3:8, με το OK 74LS138. Κυκλωματικό διάγραμμα (πάνω), Πίνακας αληθείας (κάτω).

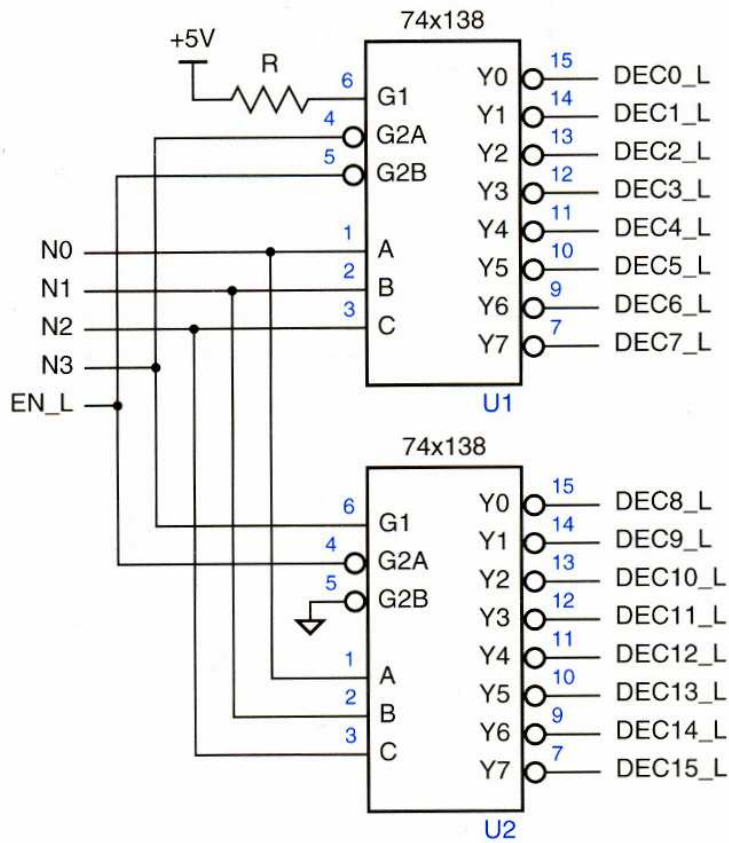
1.10.3 Ο ολοκληρωμένος αποκωδικοποιητής 3-σε-8 74LS138

Ο 74LS138 είναι ένα MSI που λειτουργεί ως δυαδικός αποκωδικοποιητής 3 εισόδων A,B,C και 8 εξόδων Y0-Y7. Επίσης, έχει τρεις εισόδους ενεργοποίησης, που το βοηθούν να συνδεθεί με άλλα όμοια ολοκληρωμένα κυκλώματα σε συνδεσμολογία καταρράκτη. Στο παραπάνω Σχήμα 1.42 μπορεί να εξεταστεί ο ρόλος των εισόδων ενεργοποίησης G1, G2A, G2B. Παρατηρείστε ότι οι εξοδοί είναι active Low.

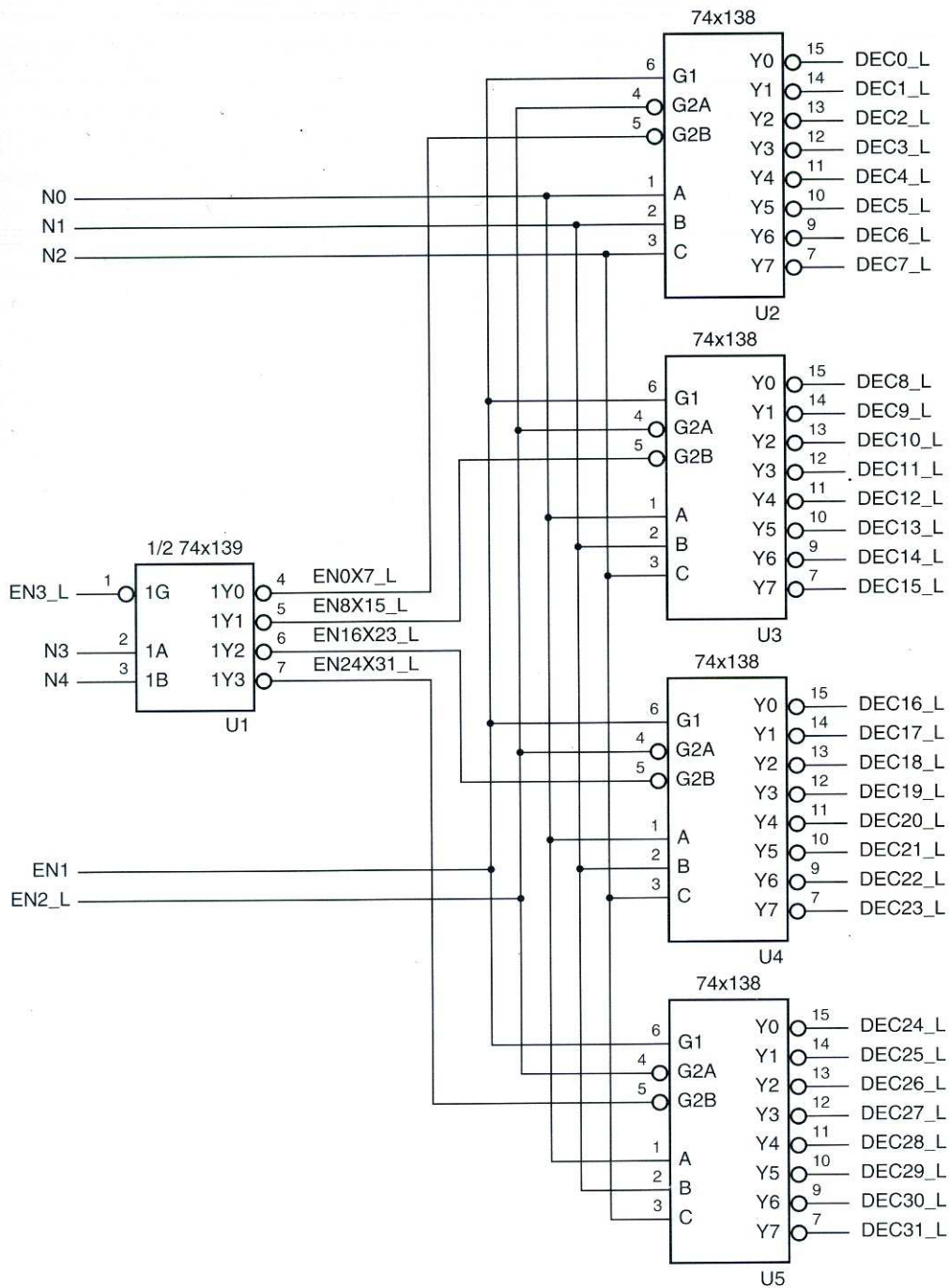
1.10.4 Επέκταση αποκωδικοποιητών

Το παρακάτω κύκλωμα του Σχήματος 1.43 είναι ένας αποκωδικοποιητής 4:16, με χρήση δύο αποκωδικοποιητών 3:8, με βάση το OK 74LS138. Παρατηρείστε πως αξιοποιούνται οι εισοδοί ενεργοποίησης του κυκλώματος. Οι γραμμές εισόδου N0, N1, N2, N3 είναι οι νέες γραμμές επιλογής. Οι τρεις λιγότερο σημαντικές γραμμές δημιουργούνται από την ένωση των γραμμών επιλογής ABC των δύο OK. Η τέταρτη και πλέον σημαντική γραμμή N3 παίζει το ρόλο ενός αποκωδικοποιητή. Όταν έχει τιμή λογικό 0, επιλέγεται το πρώτο ολοκληρωμένο κύκλωμα, ενώ το δεύτερο είναι απενεργοποιημένο, καθώς η είσοδος ενεργοποίησης G1 λαμβάνει λογικό 0. Το αντίθετο συμβαίνει όταν η N3 λαμβάνει λογικό 1. Για να λειτουργεί ο αποκωδικοποιητής 4:16 πρέπει η γραμμή EN_L να λαμβάνει λογικό μηδέν.

Όπως φαίνεται παραπάνω, η επέκταση των αποκωδικοποιητών με χρήση πολλών OK, γίνεται με τη βοήθεια κυκλωμάτων επιλογής, που ενεργοποιούν κάθε φορά ένα από τα πολλά OK. Για το σκοπό αυτό αξιοποιούνται οι εισοδοί ενεργοποίησης των κυκλωμάτων (enable). Όταν υπάρχουν παραπάνω από δύο αποκωδικοποιητές στη σειρά, η ενεργοποίηση των επιμέρους αποκωδικοποιητών μπορεί να γίνει με χρήση ενός κατάλληλου αποκωδικοποιητή, του οποίου οι εισοδοί θα αποτελέσουν τις σημαντικότερες εισόδους επιλογής του νέου κυκλώματος. Στο σχήμα 1.44 φαίνεται ένας αποκωδικοποιητής 5:32, με τέσσερις αποκωδικοποιητές 74LS138 και έναν αποκωδικοποιητή 2:4, τον 74LS139 (1/2) για την ενεργοποίηση ενός από τα τέσσερα ολοκληρωμένα κυκλώματα.



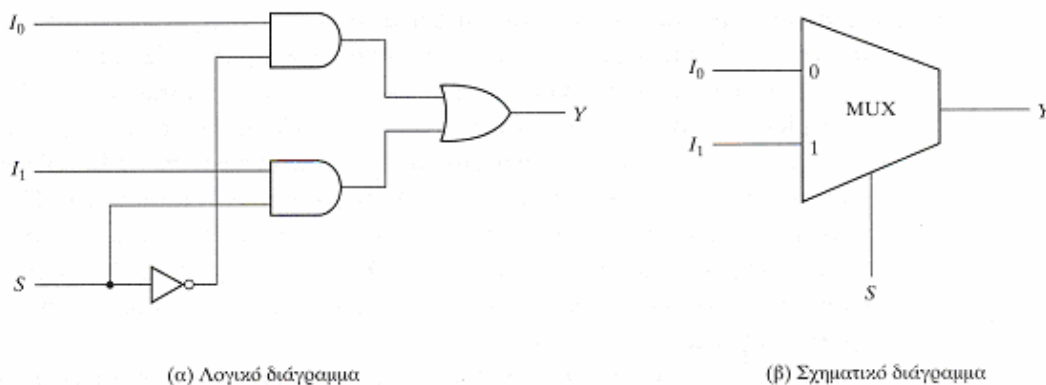
Σχήμα 1.43 Δυαδικός αποκωδικοποιητής 4:16, με δύο OK 74LS138. Παρατηρείστε την αξιοποίηση των εισόδων επιλογής G1, G2A, G2B.



Σχήμα 1.44 Δυαδικός αποκωδικοποιητής 5:32, με τέσσερα OK 74LS138.

1.11 Πολυπλέκτες

Ο *πολυπλέκτης* είναι ένα συνδυαστικό κύκλωμα, το οποίο επιλέγει τη δυαδική πληροφορία μιας από πολλές γραμμές εισόδου (κανάλια εισόδου) και την κατευθύνει σε μια μοναδική γραμμή εξόδου. Η επιλογή της συγκεκριμένης γραμμής εξόδου ελέγχεται από ειδικές γραμμές επιλογής. Κανονικά, υπάρχουν 2^n γραμμές εισόδου και n γραμμές επιλογής, των οποίων οι τιμές καθορίζουν ποια είσοδος επιλέγεται.



Σχήμα 1.45 Πολυπλέκτης 2-σε-1 (α) Λογικό διάγραμμα, (β) Σχηματικό διάγραμμα.

Στο παραπάνω Σχήμα 1.45 δύο πηγές του ενός bit συνδέονται σε μία έξοδο Y , ανάλογα με τις τιμές της εισόδου επιλογής S .

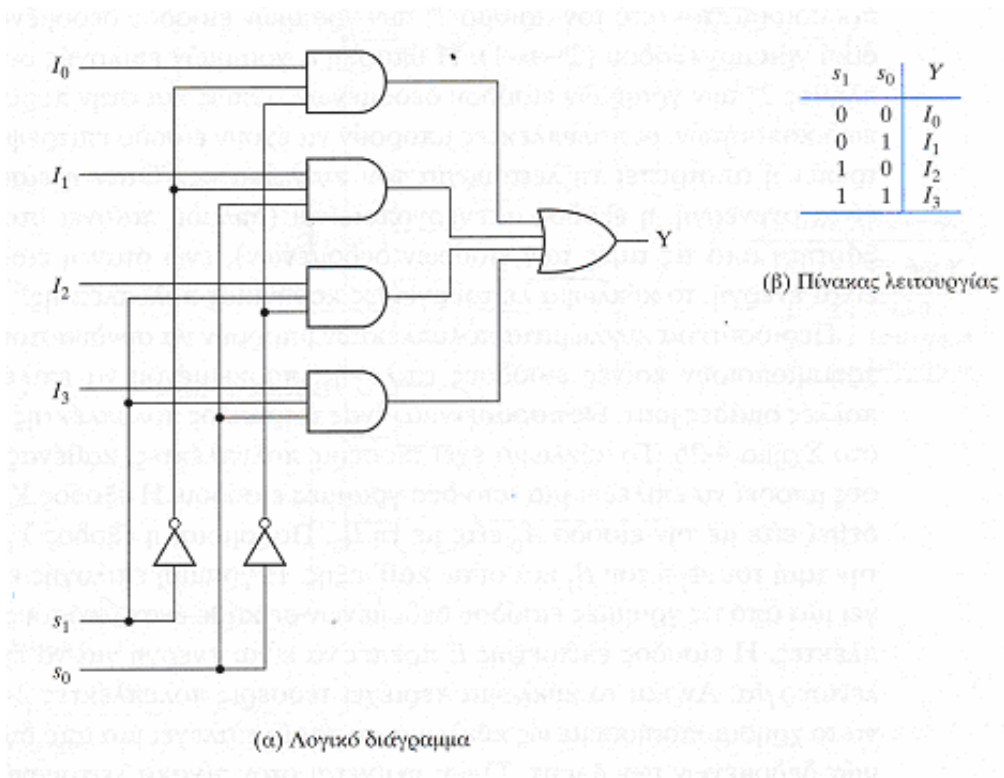
Στο παρακάτω Σχήμα 1.46 φαίνεται ένας πολυπλέκτης 4-σε-1. Κάθε μια από τέσσερις εισόδους I_0 έως I_3 συνδέεται σε μια από τις εισόδους μιας πύλης AND. Οι γραμμές επιλογής S_1 και S_2 αποκωδικοποιούνται έτσι, ώστε να επιλέξουν μία μόνο πύλη AND. Οι έξοδοι των AND τροφοδοτούν τις εισόδους μιας μοναδικής πύλης OR, της οποίας η έξοδος είναι και έξοδος του κυκλώματος.

1.11.1 Υλοποίηση λογικών συναρτήσεων με πολυπλέκτες

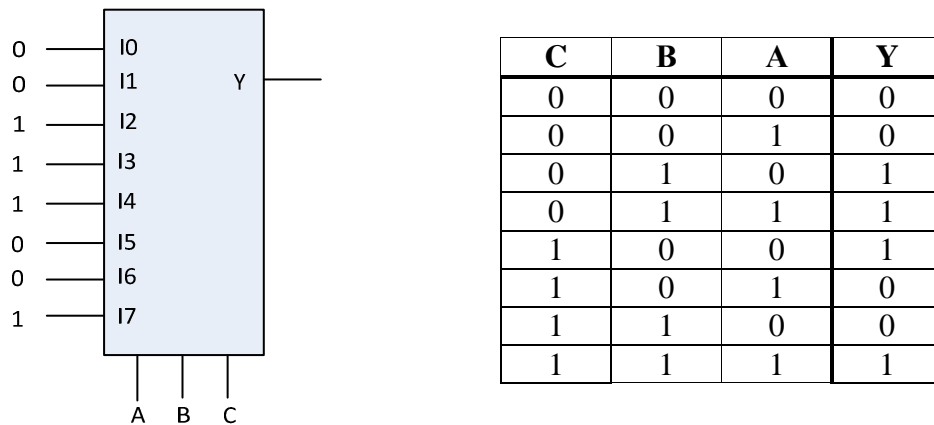
Ένας πολυπλέκτης μπορεί να λειτουργήσει και σαν γεννήτρια λογικών συναρτήσεων. Κάθε πολυπλέκτης 2^n εισόδων μπορεί να υλοποιήσει μια λογική συνάρτηση n μεταβλητών εισόδου και μιας εξόδου. Οι εισοδοί της λογικής συνάρτησης τοποθετούνται στις εισόδους επιλογής του πολυπλέκτη. Κάθε είσοδος ενσυραμτώνεται στη λογική κατάσταση 1 ή 0, σύμφωνα με τον πίνακα αληθείας της λογικής συνάρτησης. Για κάθε συνδυασμό των εισόδων ο πολυπλέκτης επιλέγει και εξάγει τη λογική κατάσταση στην οποία έχει ενσυραματωθεί το αντίστοιχο κανάλι εισόδου.

Έστω, για παράδειγμα μια λογική συνάρτηση τριών μεταβλητών εισόδου με πίνακα αληθείας αυτό του Σχήματος 1.47. Η υλοποίηση της συνάρτησης με πολυπλέκτη φαίνεται στο ίδιο σχήμα. Οι μεταβλητές A, B, C τοποθετούνται στις γραμμές επιλογής και οι εισοδοί ενσυραμώνονται στις καταστάσεις 0 και 1, σύμφωνα με τον πίνακα αληθείας. Είναι προφανές ότι η έξοδος επιτελεί τον πίνακα αληθείας που περιγράφει τη συνάρτηση. Η είσοδος επιλογής A είναι η λιγότερο σημαντική.

Δύο ή περισσότεροι πολυπλέκτες μπορούν να υλοποιήσουν συνδυαστικά κυκλώματα με παραπάνω από μία εξόδους.



Σχήμα 1.46 Πολυπλέκτης 4-σε-1 και πίνακας αληθείας

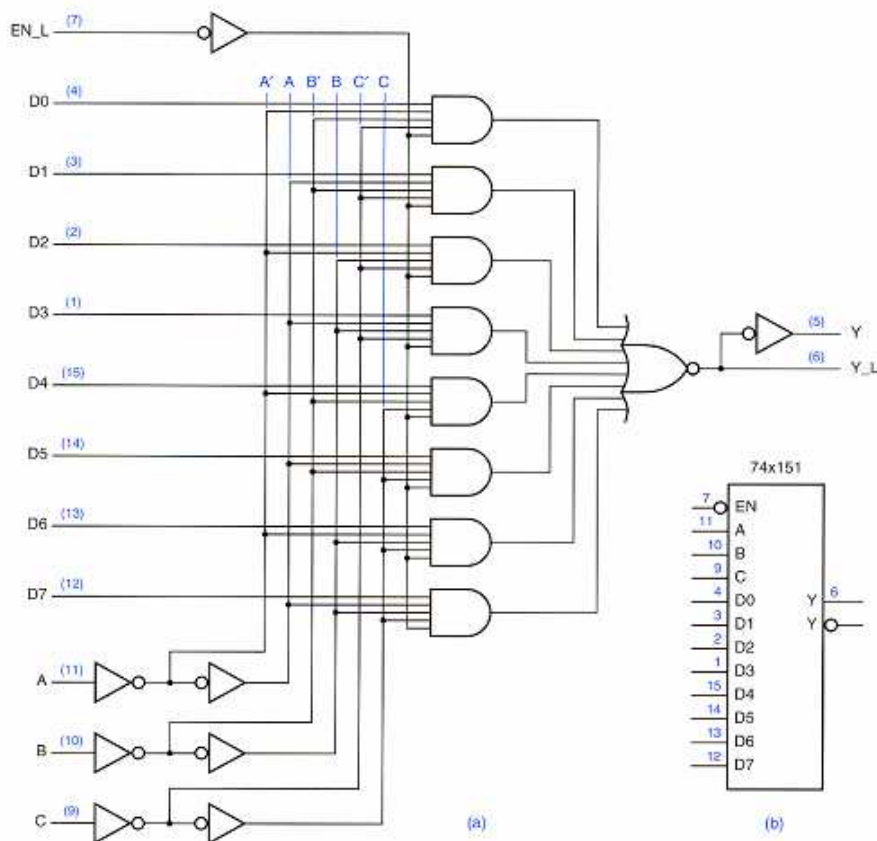


Σχήμα 1.47 Υλοποίηση της λογικής συνάρτησης $Y = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC$ με πολυπλέκτη 8:1. Στα δεξιά, ο πίνακας αληθείας.

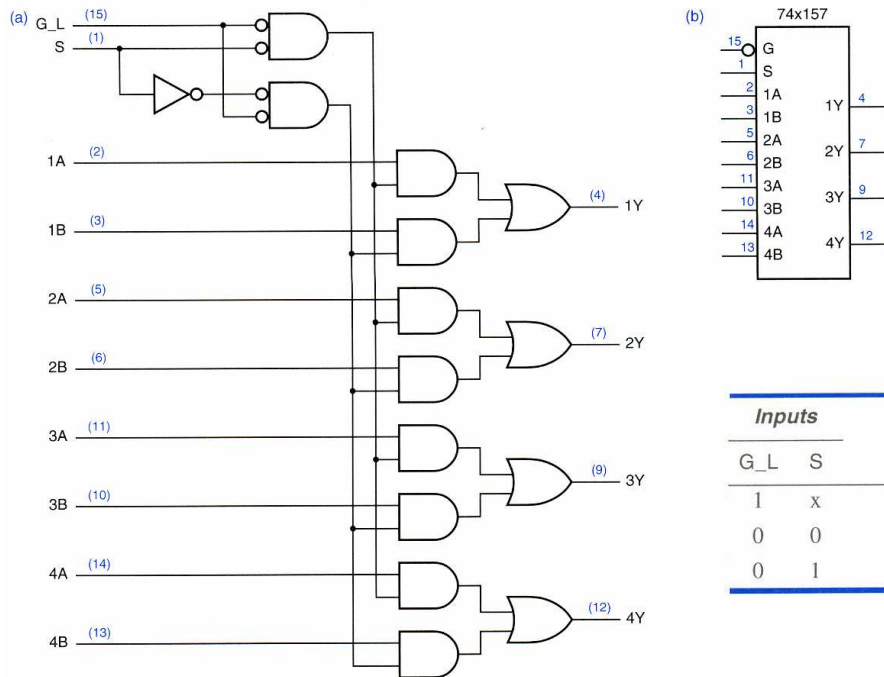
1.11.2 Ολοκληρωμένοι πολυπλέκτες

Στο Σχήμα 1.48 φαίνεται το λογικό διάγραμμα και το διάγραμμα ακροδεκτών ενός ολοκληρωμένου πολυπλέκτη της τυπικής λογικής, με κωδικό 74LS151. Ο πολυπλέκτης αυτός έχει οκτώ κανάλια εισόδου, ένα κανάλι εξόδου και τρεις γραμμές επιλογής. Επίσης, εκτός από την κανονική έξοδο παράγει και τη συμπληρωματική της.

Εκτός από τους πολυπλέκτες που διαχειρίζονται ψηφιακή πληροφορία 1-bit, πολύ συχνά χρειαζόμαστε πολυπλέκτες που μεταγούν πληροφορία εύρους πολλών bits. Ας υποθέσουμε ότι πρέπει να επιλέξουμε ανάμεσα σε δύο τετράμπιτες λέξεις A και B. Ένας τρόπος είναι να χρησιμοποιήσουμε τον πολυπλέκτη 74LS157, που έχει δύο κανάλια εισόδου και ένα κανάλι εξόδου, όπου το κάθε κανάλι είναι 4-bit. Προφανώς, αυτός ο πολυπλέκτης έχει μια γραμμή επιλογής. Το κύκλωμα και το διάγραμμα ακροδεκτών του OK φαίνονται στο Σχήμα 1.49. Στο ίδιο σχήμα φαίνεται και ο πίνακας αληθείας του κυκλώματος.



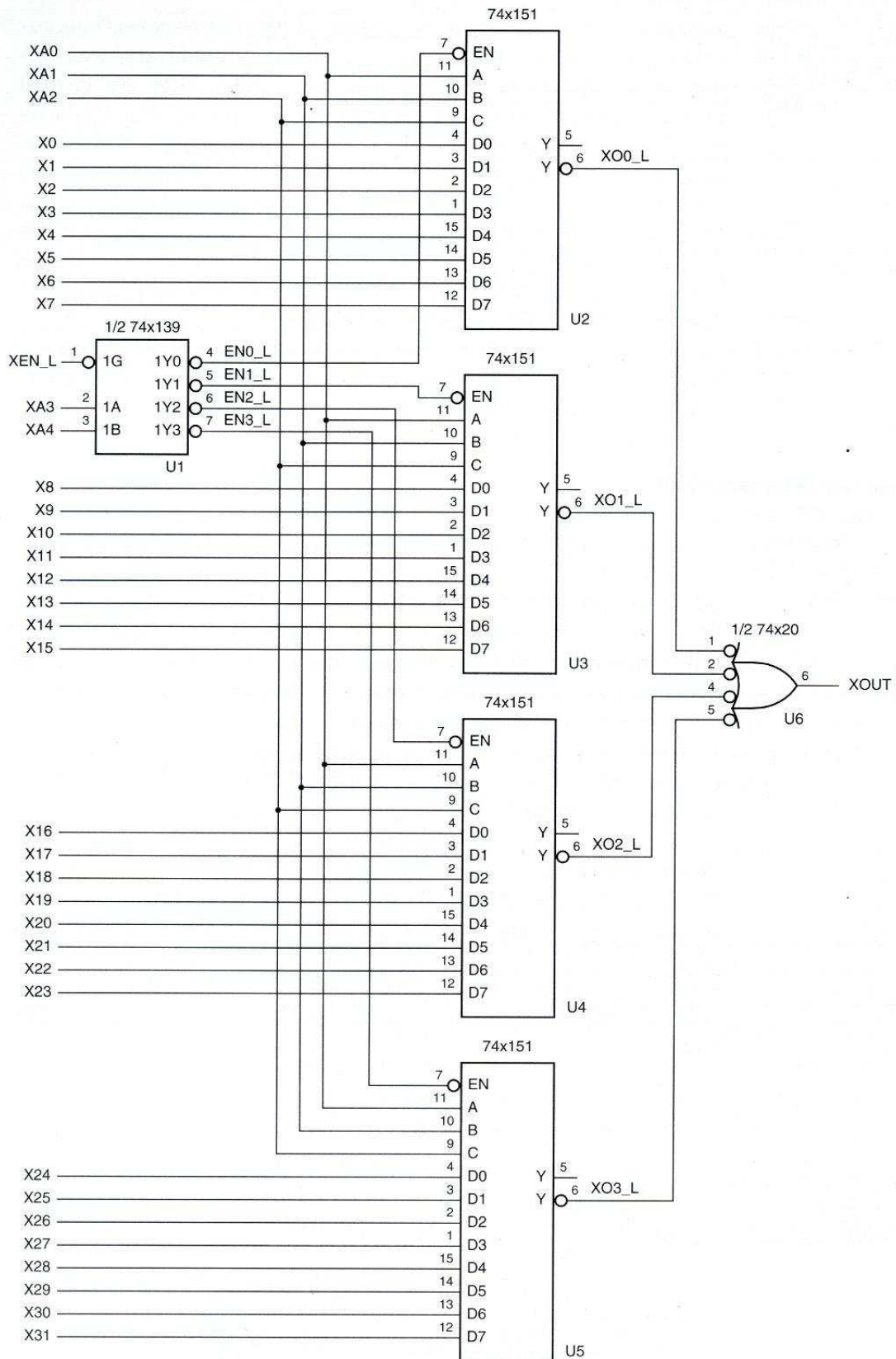
Σχήμα 1.48 Πολυπλέκτης 8-σε-1 με το ολοκληρωμένο κύκλωμα 74LS151. Λογικό διάγραμμα (a) και διάγραμμα ακροδεκτών (b).



Σχήμα 1.49 Πολυπλέκτης 2-σε-1, με τέσσερα bits ανά κανάλι, με το ολοκληρωμένο κύκλωμα 74LS157.

1.11.3 Επέκταση πολυπλεκτών

Χρησιμοποιώντας τα τυπικά κυκλώματα που προαναφέραμε, είναι δυνατό να επεκτείνουμε τη λειτουργία τους για περισσότερα κανάλια εισόδου. Έτσι, κάνοντας χρήση του πολυπλέκτη 74LS151, που έχει οκτώ κανάλια εισόδου, μπορούμε να δημιουργήσουμε έναν πολυπλέκτη με τριανταδύο κανάλια εισόδου, κάνοντας χρήση τεσσάρων πολυπλεκτών, όπως φαίνεται στο Σχήμα 1.50. Για την επέκταση αυτή, οι τρεις γραμμές επιλογής των τεσσάρων πολυπλεκτών ενώνονται μεταξύ τους και αποτελούν τις τρεις λιγότερο σημαντικές γραμμές επιλογής του νέου συστήματος (XA0, XA1, XA2). Η επιλογή ενός εκ των τεσσάρων πολυπλεκτών γίνεται με τη βοήθεια ενός αποκωδικοποιητή 2:4, του οποίου οι είσοδοι XA3, XA4 αποτελούν τις πλέον σημαντικές εισόδους επιλογής του νέου συστήματος. Οι έξοδοι του πολυπλέκτη ενεργούν στις γραμμές ενεργοποίησης των πολυπλεκτών. Η τελική έξοδος λαμβάνεται μέσω μιας πύλης OR.

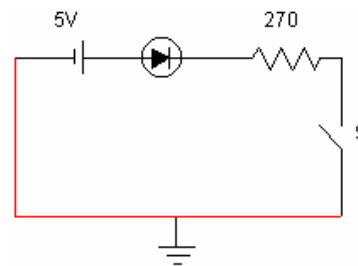
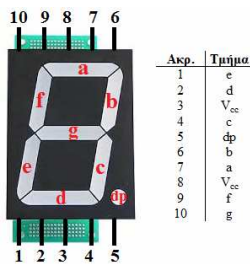


Σχήμα 1.50 Επέκταση πολυπλέκτη σε 32 κανάλια εισόδου, χρησιμοποιώντας 4 OK 74LS151.

1.12 Κωδικοποίηση BCD σε ενδείκτη 7 τομέων

1.12.1 Ενδείκτης 7 τμημάτων

Ο ενδείκτης 7 τομέων είναι διάταξη που απαντάται σε πολλές συσκευές του εμπορίου (υπολογιστές τσέπης, ρολόγια, φούρνοι μικροκυμάτων κ.λπ.). Ο ενδείκτης αποτελείται από 7 φωτοεκπέμπουσες διόδους (LED - Light Emitting Diode), σε μορφή μικρών ράβδων, καθώς και μία (ή δύο) διόδους κυκλικού σχήματος, που χρησιμεύουν ως υποδιαστολή (σχ. 1.51). Η φωτοεκπέμπουσα διάδος είναι μια διάδος PN επαφής, η οποία όταν πολώνεται ορθά διαρρέεται από ρεύμα και φωτοβολεί (σχ. 1.52).



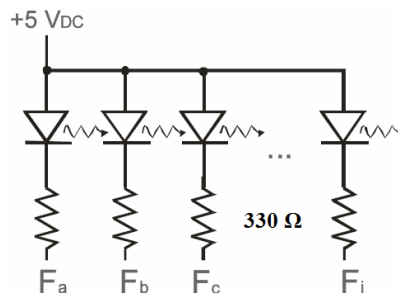
Σχήμα 1.51: Ενδείκτης 7 τομέων.

Σχήμα 1.52: Ορθά πολωμένη διάδος.

Στο εσωτερικό του ενδείκτη, το ένα άκρο κάθε LED συνδέεται σε ένα κοινό σημείο. Αυτό το σημείο συνδέεται ή στη γείωση ή σε θετικό δυναμικό, ανάλογα με τον τύπο της διάταξης. Οι ενδείκτες που λειτουργούν με το κοινό σημείο συνδεδεμένο στο θετικό δυναμικό (+5V) είναι διατάξεις κοινής ανόδου.

Για να φωτοβολούν οι διόδους LED, θα πρέπει να πολωθούν ορθά, που σημαίνει ότι οι εισόδους (a, b, c, d, e, f, g) δηλαδή οι κάθοδοι των διόδων πρέπει να βρίσκονται σε χαμηλό δυναμικό, άρα να δέχονται λογικό '0'.

Για να προστατευθούν οι διόδους LED θα πρέπει να χρησιμοποιηθεί μια αντίσταση, όπως στο Σχήμα 1.53. Αντί για πολλές προστατευτικές αντιστάσεις στις καθόδους, είναι δυνατό να χρησιμοποιηθεί μία προστατευτική αντίσταση στην κοινή άνοδο.



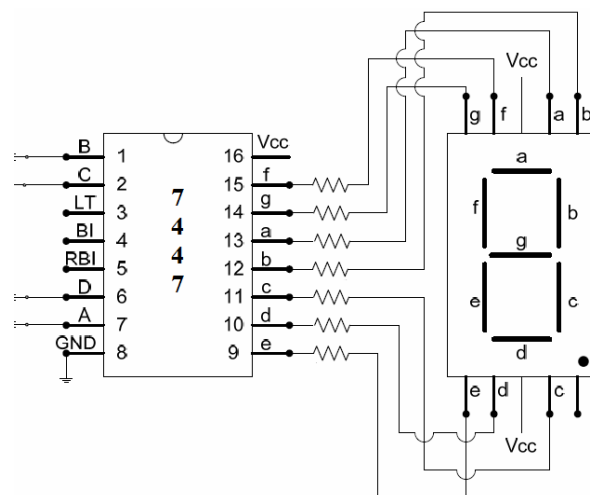
Σχήμα 1.53: Συνδεσμολογία απεικόνισης 7 τομέων, σε διάταξη κοινής ανόδου.

1.12.2 Κωδικοποιητής BCD σε ενδείκτη 7 τομέων

Αυτό που επιδιώκουμε είναι να δώσουμε ένα δυαδικό αριθμό κωδικοποιημένο κατά BCD (δηλαδή 4-bit) σε ένα συνδυαστικό κύκλωμα και να τον οδηγήσουμε στον ενδείκτη 7 τμημάτων, ώστε να εμφανιστεί ο αντίστοιχος δεκαδικός αριθμός. Για παράδειγμα όταν εισάγουμε την ακολουθία '0000' στο κύκλωμα, θα πρέπει να εμφανίζεται ο αριθμός '0', δηλαδή όλες οι διόδους LED του ενδείκτη θα πρέπει να φωτοβολούν, εκτός απ' την *g* (βλ. Σχ. 1.51). Αυτό σημαίνει πως πρέπει να καθορίσουμε το κατάλληλο κύκλωμα, ώστε να φωτοβολεί κάθε διόδος του ενδείκτη. Έτσι, η διόδος *g* θα φωτοβολεί για τους αριθμούς 2, 3, 4, 5, 6, 8, 9. Συνεπώς, γι' αυτούς τους αριθμούς, το κύκλωμα θα πρέπει να δημιουργεί ένα λογικό '0' ως είσοδο της διόδου *g*, ενώ θα δίνει είσοδο λογικό '1' για τους αριθμούς 0, 1, 7.

Όπως αναφέρθηκε νωρίτερα, για την κωδικοποίηση BCD χρησιμοποιούνται μόνον οι 10 από τους 16 συνδυασμούς τεσσάρων bit (0-9). Συνεπώς, οι έξι τελευταίοι συνδυασμοί (1010 ως 1111) μπορούν να θεωρηθούν αδιάφορες καταστάσεις. Τα σύμβολα που εμφανίζονται αντιστοιχούν στο απλούστερο κύκλωμα.

Ένα τυπικό ολοκληρωμένο κύκλωμα για την οδήγηση του ενδείκτη επτά τομέων είναι το 7447, που χαρακτηρίζεται αποκωδικοποιητής BCD. Το σχηματικό διάγραμμα του ολοκληρωμένου κυκλώματος φαίνεται στο σχήμα 1.54.



Σχήμα 1.54: Κωδικοποίηση BCD σε ενδείκτη 7 τομέων, με το ολοκληρωμένο κύκλωμα 7447. Οι τιμές των αντιστάσεων είναι 330Ω.

Το κύκλωμα του αποκωδικοποιητή δέχεται τέσσερις εισόδους/γραμμές BCD, παράγει τα συμπληρώματά τους εσωτερικά και αποκωδικοποιεί τα δεδομένα με επτά πύλες AND/OR, ώστε να οδηγή τον ενδείκτη επτά τμημάτων (κοινής ανόδου) άμεσα. Ο ακροδέκτης 16 συνδέεται στην τροφοδοσία (+5V) και ο ακροδέκτης 8 στη γείωση.

1.13 Αριθμητικά κυκλώματα

1.13.1 Το κύκλωμα του ημιαθροιστή

Η πρόσθεση δύο δυαδικών ψηφίων (bits) μπορεί να έχει τις εξής εισόδους και εξόδους: $0+0=0$, $0+1=1$, $1+0=1$ και $1+1=10$, όπου το τελευταίο αποτέλεσμα αντιστοιχεί προφανώς στο δεκαδικό 2, που για να περιγραφεί στο δυαδικό σύστημα χρειάζεται δύο bits, καθώς η πρόσθεση παράγει ένα ακόμη σημαντικό ψηφίο, ως κρατούμενο.

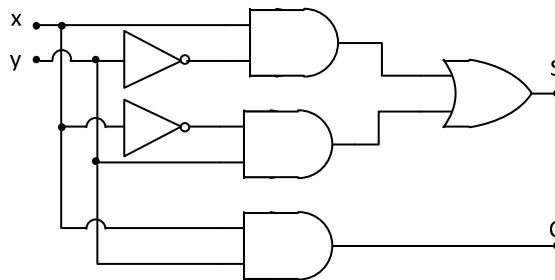
Ο ημιαθροιστής είναι ένα συνδυαστικό κύκλωμα που λαμβάνει στην είσοδο δύο ψηφία και παράγει στην έξοδο επίσης δύο ψηφία, το άθροισμα των εισόδων (S) και το κρατούμενο (C) της πρόσθεσης. Αυτό είναι το απλούστερο αριθμητικό κύκλωμα, που μπορεί να χρησιμοποιηθεί στα υπολογιστικά συστήματα.

Ο πίνακας αληθείας του ημιαθροιστή φαίνεται στο Σχήμα 1.55. Από τον πίνακα αληθείας μπορεί να προκύψει εύκολα η μορφή του κυκλώματος του ημιαθροιστή, ως άθροισμα γινομένων. Προκύπτουν δύο κυκλώματα, ένα για το άθροισμα S και ένα για το κρατούμενο C:

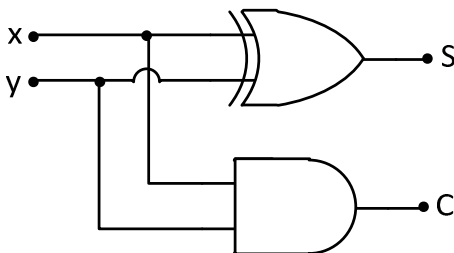
$$S = \bar{x}y + x\bar{y} \quad (1.12)$$

$$C = xy \quad (1.13)$$

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Σχήμα 1.55: Πίνακας αληθείας ημιαθροιστή και υλοποίηση με τη μορφή αθροίσματος γινομένων



Σχήμα 1.56: Υλοποίηση του ημιαθροιστή με πύλη XOR και AND

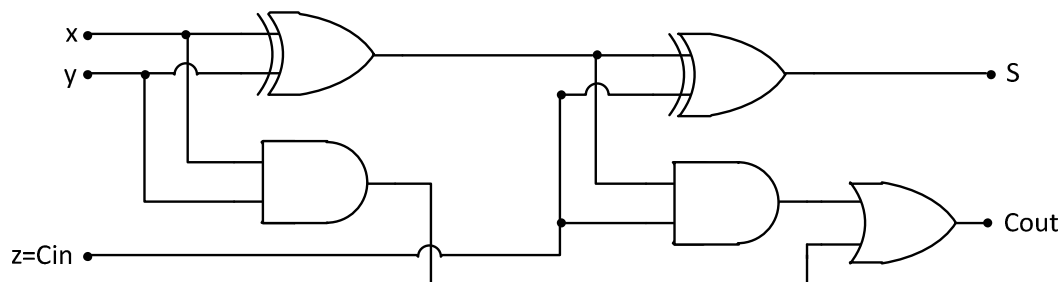
Το κύκλωμα που περιγράφουν οι παραπάνω εξισώσεις φαίνεται στο Σχήμα 1.55. Οι εκφράσεις (1.12) και (1.13) οδηγούν στο συμπέρασμα ότι το άθροισμα μπορεί να υλοποιηθεί ισοδύναμα με τη βοήθεια μιας πύλης XOR, ενώ το κρατούμενο προφανώς υλοποιείται με τη βοήθεια μιας πύλης AND (Σχήμα 1.56).

Όταν προστίθενται δυαδικά ψηφία x , y , ίδιας τάξης, που ανήκουν σε διαφορετικούς δυαδικούς αριθμούς, τότε είναι απαραίτητο να προστεθεί και τυχόν κρατούμενο, που προέκυψε από τη δυαδική πρόσθεση ψηφίων προηγούμενης τάξης. Ένα κύκλωμα αθροιστή που δέχεται ως είσοδο τρία δυαδικά ψηφία x , y , C_{in} , και παράγει ως έξοδο δύο δυαδικά ψηφία, το άθροισμα S και το κρατούμενο C_{out} , λέγεται πλήρης αθροιστής. Τα δύο δυαδικά ψηφία της εξόδου είναι επαρκή, ώστε να φιλοξενήσουν τους δυαδικούς αριθμούς 00, 01, 10, 11 (δηλαδή στο δεκαδικό σύστημα 0 έως 3) που είναι τα πιθανά αποτελέσματα από την πρόσθεση τριών δυαδικών ψηφίων.

Ο πίνακας αληθείας του πλήρη αθροιστή φαίνεται στο σχήμα 1.57. Περιλαμβάνει τρεις μεταβλητές εισόδου x , y , z , που αντιστοιχούν στα τρία bits x , y , C_{in} . Περιγράφει δύο λογικές συναρτήσεις, μία για το άθροισμα S και μία για το κρατούμενο C_{out} . Η κάθε μία από αυτές μπορεί να γραφεί ως άθροισμα ελαχιστόρων, κατά τα γνωστά, και να απλοποιηθεί σύμφωνα με τους κανόνες της άλγεβρας Boole. Έτσι, προκύπτει:

$z=C_{in}$	x	y	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Σχήμα 1.57: Ο πίνακας αληθείας του πλήρη αθροιστή



Σχήμα 1.58: Υλοποίηση του πλήρη αθροιστή με δύο ημιαθροιστές και μία πύλη OR

$$S = \overline{\overline{xy}}z + \overline{xy}\overline{z} + \overline{xy}z + xyz \quad (1.14)$$

$$Cout = xy + xz + yz \quad (1.15)$$

Σύμφωνα με τις παραπάνω εκφράσεις (1.14) και (1.15), ο πλήρης αθροιστής χρειάζεται τέσσερις πύλες AND τριών εισόδων και μία πύλη OR τριών εισόδων για το άθροισμα S. Επίσης, χρειάζεται πύλες NOT για την αντιστροφή των εισόδων. Για το κρατούμενο εξόδου Cout χρειάζεται μία πύλη OR τριών εισόδων και τρεις πύλες AND δύο εισόδων.

Ισοδύναμα, ο πλήρης αθροιστής μπορεί να υλοποιηθεί με δύο ημιαθροιστές, από τους οποίους ο πρώτος προσθέτει τα x και y και ο δεύτερος προσθέτει στο πρώτο άθροισμα το κρατούμενο εισόδου. Το τελικό κρατούμενο προκύπτει με μία OR, που εξάγει μονάδα αν οποιαδήποτε από τις δύο βαθμίδες πρόσθεσης παράγει κρατούμενο 1. Το κύκλωμα αυτό φαίνεται στο σχήμα 1.59.

1.13.2 Δυαδικός αθροιστής μη προσημασμένων αριθμών 4-bit-Ιεραρχική σχεδίαση

Το κύκλωμα του πλήρη αθροιστή που παρουσιάστηκε στα προηγούμενα μπορεί να αθροίσει δύο δυαδικά ψηφία και να παράγει το κρατούμενό τους. Προκειμένου να αθροίσουμε αριθμούς με περισσότερα ψηφία, χρησιμοποιούμε έναν πλήρη αθροιστή

$$\begin{array}{r} x3 \ x2 \ x1 \ x0 \\ y3 \ y2 \ y1 \ y0 \\ \hline Cout \ s3 \ s2 \ s1 \ s0 \end{array}$$

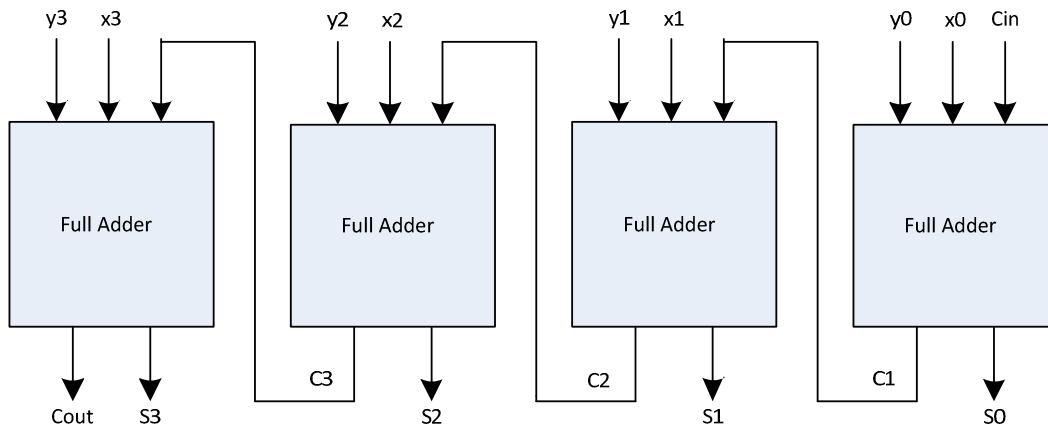
Για παράδειγμα:

$$\begin{array}{r} 1010 \\ 0101 \\ \hline 01111 \end{array}$$

για το κάθε ζεύγος ψηφίων αντίστοιχης τάξης. Έστω ότι θέλουμε να αθροίσουμε μη προσημασμένους αριθμούς με τέσσερα δυαδικά ψηφία:

Είναι φανερό ότι θα πρέπει να αθροίσουμε τα ψηφία πρώτης, δεύτερης κ.λπ. τάξης, ανά δύο. Όπου παράγεται κρατούμενο θα πρέπει να το προσθέσουμε στο επόμενη τάξης δυαδικό άθροισμα. Έτσι, σχεδιάζουμε μια ιεραρχική διάταξη, όπου επαναλαμβάνουμε απaráλαχτη τη βαθμίδα του πλήρη αθροιστή του Σχήματος 1.58, δίνοντας κάθε φορά ως εισόδους τα bits αντίστοιχης τάξης και μεταφέροντας το κρατούμενο στην επόμενη βαθμίδα πρόσθεσης. Το κύκλωμα αυτό φαίνεται στο Σχήμα 1.59.

Ο πλήρης αθροιστής 4-bit αποτελεί κύκλωμα της τυπικής λογικής με τον κωδικό 74283. Το κύκλωμα αυτό λαμβάνει εισόδους A και B, δύο μη προσημασμένους αριθμούς 4-bit, καθώς και είσοδο αρχικού κρατουμένου Cin. Παράγει το άθροισμα S 4-bit και το κρατούμενο εξόδου Cout.



Σχήμα 1.59 Κύκλωμα αθροιστή 4-bit με επανάληψη της δομής του πλήρη αθροιστή και διάδοση κρατούμενου

1.13.3 Δυαδικός αφαιρέτης

Το κύκλωμα της αφαίρεσης προκύπτει από το κύκλωμα της πρόσθεσης. Ας θυμηθούμε ότι η αφαίρεση ισοδυναμεί με την πρόσθεση στον αφαιρέτη του αρνητικά προσημασμένου αφαιρετέου:

$$D = A - B = A + (-B) \quad (1.16)$$

Άρα, για το σκοπό της αφαίρεσης μπορούμε να χρησιμοποιήσουμε το κύκλωμα του πλήρη αθροιστή, όταν στην είσοδο y εισάγουμε το $-B$ και στην είσοδο x το A .

Το συμπλήρωμα ως προς δύο

Εδώ, πρέπει να θυμηθούμε από τη θεωρία ότι οι αρνητικά προσημασμένοι αριθμοί μπορούν να παρασταθούν με **το συμπλήρωμα του αριθμού ως προς δύο**. Το συμπλήρωμα ως προς δύο προκύπτει αν στο συμπλήρωμα ως προς ένα προσθέσουμε τη μονάδα. Έτσι, ο δεκαδικός αριθμός -3 θα γραφεί με το συμπλήρωμα ως προς δύο ως εξής:

Λαμβάνουμε το συμπλήρωμα ως προς ένα:

$$0011 \rightarrow 1100$$

Προσθέτουμε τη μονάδα:

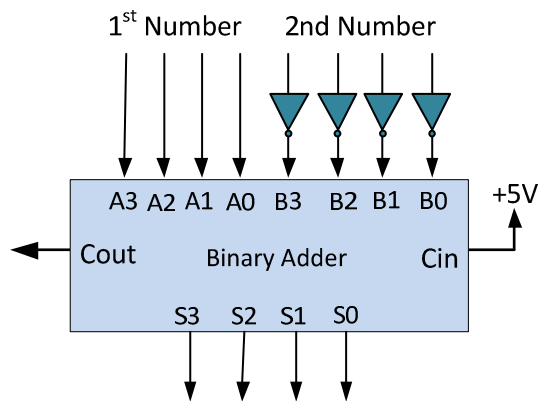
$$1100 + 1 = 1101$$

Ο αριθμός 1101 (δηλαδή ο 13 στο δεκαδικό) είναι το συμπλήρωμα ως προς 2 του 0011 (3 στο δεκαδικό), δηλαδή ο -3 .

Με το συμπλήρωμα ως προς 2 του B η πράξη της αφαίρεσης γράφεται ως εξής:

$$D = A - B = A + (-B) = A + (\overline{B} + 1) \quad (1.17)$$

Σύμφωνα με την παραπάνω σχέση, ένας απλός τρόπος για να υλοποιήσουμε τον αφαιρέτη, με βάση τον δυαδικό αθροιστή του Σχήματος 1.35, είναι να δημιουργήσουμε το συμπλήρωμα του B με πύλες NOT και να εισάγουμε στην είσοδο κρατουμένου τη μονάδα, όπως φαίνεται στο παρακάτω σχήμα 1.60.



Σχήμα 1.60 Δυαδικός αφαιρέτης 4-bit

Αν θεωρήσουμε αριθμούς N δυαδικών ψηφίων (N bit) τότε οι προσημασμένοι αριθμοί που μπορούν να παρασταθούν είναι από -2^{N-1} έως $+(2^{N-1}-1)$ (στο δεκαδικό σύστημα). Έτσι, σε αριθμούς τεσσάρων δυαδικών ψηφίων (4 bit) οι προσημασμένοι αριθμοί που μπορούν να παρασταθούν είναι από -8 έως $+7$. Από αυτούς, οι θετικοί (0 έως 7) παριστάνονται κατά τα γνωστά με 0000 έως 0111, έχοντας ως bit προσήμου το 0. Οι αρνητικοί (-8 έως -1) παριστάνονται με το συμπλήρωμα ως προς δύο, δηλαδή από 1000 έως 1111 (να το εξετάσετε ως άσκηση). Δηλαδή, το συμπλήρωμα ως προς 2 ενός αριθμού y με τέσσερα δυαδικά ψηφία (4-bit) προκύπτει στο δεκαδικό σύστημα αν αφαιρέσουμε από το 16 τον αριθμό y :

$$\text{συμπλήρωμα ως προς 2 του δεκαδικού } y = 16 - y \quad (1.18)$$

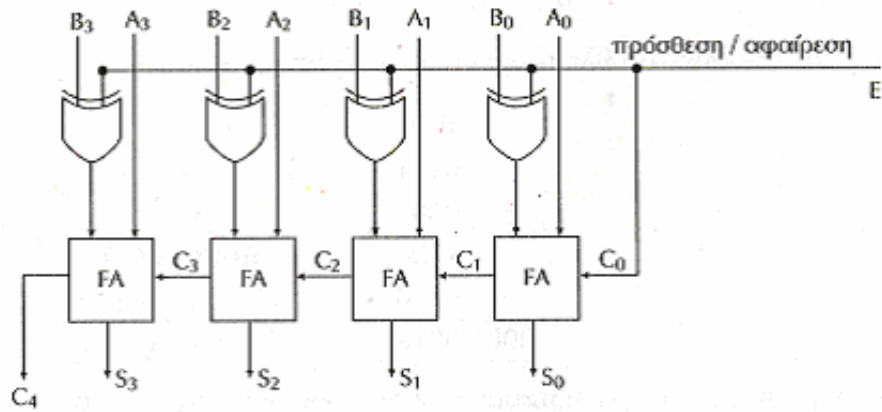
Έτσι, για να μετατρέψουμε σε αρνητικό το 3, βρίσκουμε το $16-3=13$. Οι αρνητικοί έχουν ως bit προσήμου το 1.

Σύμφωνα με τα παραπάνω, η σχέση (1.18) γράφεται ως εξής, με τους αριθμούς γραμμένους στο δεκαδικό σύστημα:

$$D_{10} = A_{10} - B_{10} = A_{10} + 16 - B_{10} = 16 + (A_{10} - B_{10}) \quad (1.19)$$

Όταν το αποτέλεσμα της αφαίρεσης $A-B$ είναι θετικό ή μηδέν ($A \geq B$), τότε το τελικό αποτέλεσμα $S_3S_2S_1S_0$ θα προκύψει μεγαλύτερο ή ίσο του 16, άρα το κρατούμενο θα είναι μονάδα ($Cout=1$). Στην αντίθετη περίπτωση, που το αποτέλεσμα της αφαίρεσης $A-B$ είναι αρνητικό, το κρατούμενο θα προκύψει μηδέν ($Cout=0$). Τότε, ως μέτρο της διαφοράς λαμβάνεται το συμπλήρωμα ως προς δύο του $S_3S_2S_1S_0$ και το πρόσημο του αποτελέσματος θεωρείται αρνητικό.

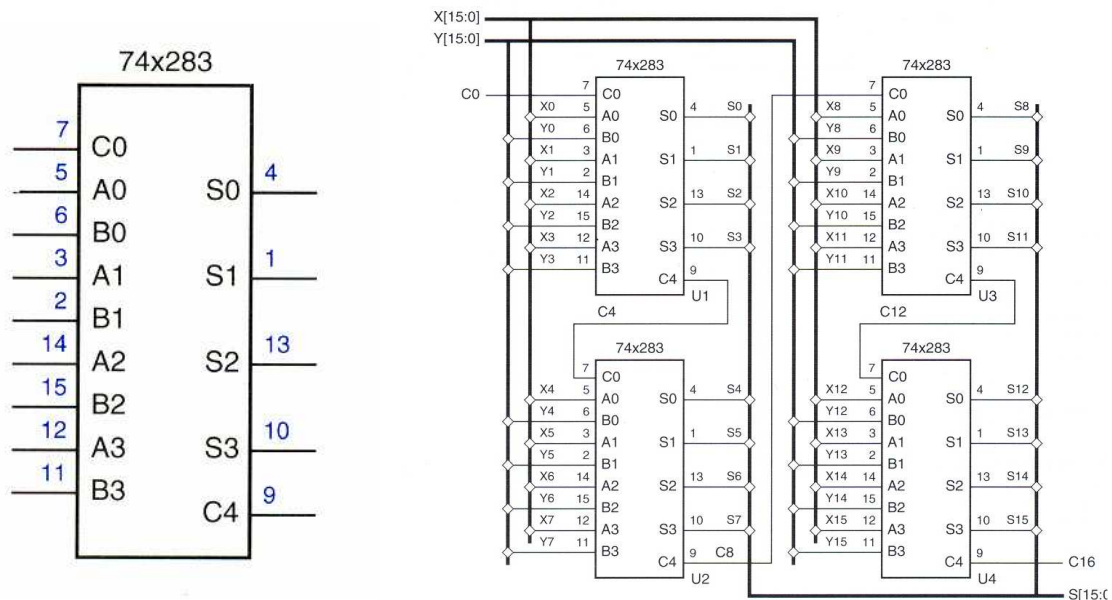
Το κύκλωμα του Σχήματος 1.61 εκτελεί την πράξη της πρόσθεσης ή της αφαίρεσης, ανάλογα με την τιμή του ακροδέκτη E . Όταν το $E=0$, το κύκλωμα εκτελεί την πρόσθεση. Όταν το $E=1$, το κύκλωμα εκτελεί την αφαίρεση. Να δικαιολογήσετε τη χρήση των πυλών XOR.



Σχήμα 1.61 Κύκλωμα παράλληλου δυαδικού αθροιστή/αφαιρέτη τεσσάρων δυαδικών ψηφίων

1.13.4 Ολοκληρωμένος αθροιστής

Το κύκλωμα της τυπικής λογικής που χρησιμοποιείται για να υλοποιήσει την πρόσθεση δύο αριθμών 4-bit είναι το 74LS283. Στο Σχήμα 1.62 φαίνεται το διάγραμμα ακροδεκτών του κυκλώματος. Διαθέτει δύο εισόδους A και B 4-bit, όπου συνδέονται οι δύο προσθετέοι, μία έξοδο 4-bit όπου εμφανίζεται το άθροισμα, και μια έξοδο κρατουμένου.



Σχήμα 1.62 Ολοκληρωμένο κύκλωμα αθροιστή 4-bit (αριστερά) και επέκτασή του για πρόσθεση αριθμών 16-bit.

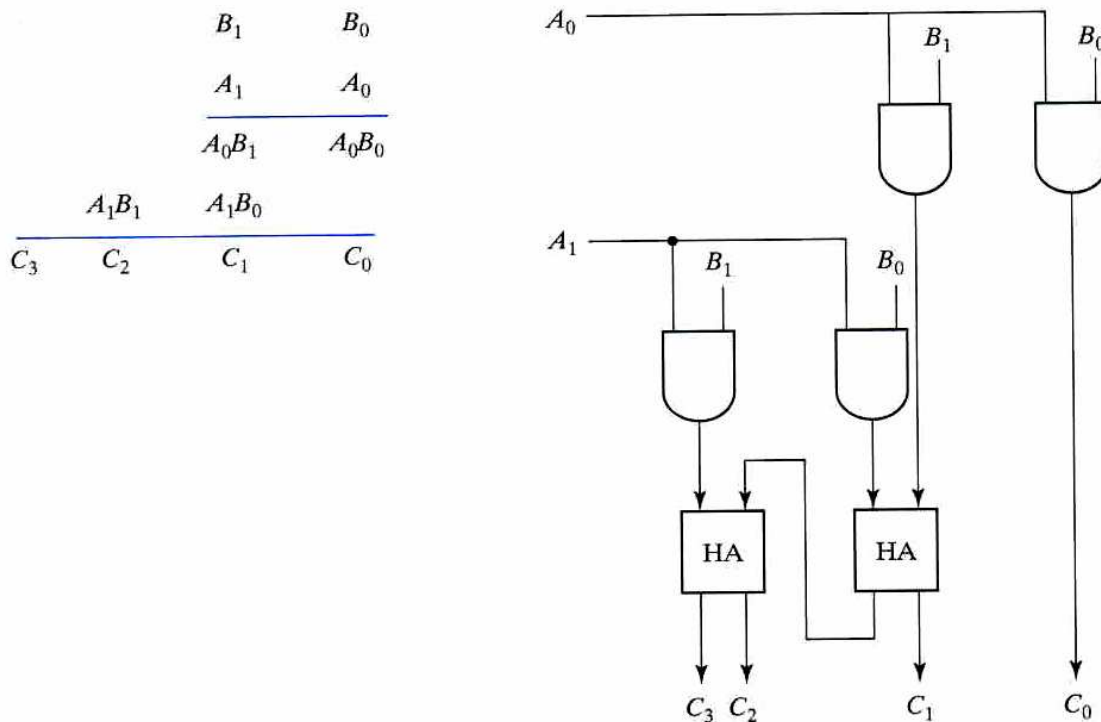
Το κύκλωμα αυτό μπορεί να χρησιμοποιηθεί ως αφαιρέτης, χρησιμοποιώντας τη λογική που παρουσιάστηκε στις προηγούμενες παραγράφους. Επίσης, μπορεί να χρησιμοποιηθεί προκειμένου να επεκταθεί ο αθροιστής για αριθμούς περισσότερων bits.

1.13.5 Πολλαπλασιαστές

Ένα απλό κύκλωμα πολλαπλασιασμού για αριθμούς 2-bit φαίνεται στο Σχήμα 1.63.

Τα τετραγωνίδια με την ένδειξη HA είναι ημιαθροιστές, που παράγουν τα αθροίσματα C1 και C2, καθώς και το κρατούμενο.

Ας σημειωθεί, ότι τα κυκλώματα των πολλαπλασιαστών πολλών bits απαιτούν πολλούς πόρους υλικού και συνήθως υλοποιούνται σε μεγάλες Αριθμητικές και Λογικές Μονάδες ή σχεδιάζονται με κατάλληλες τεχνικές σε ολοκληρωμένα κυκλώματα ψηφιακής επεξεργασίας σήματος (DSP). Μικροί πολλαπλασιαστές, ωστόσο, μπορούν να σχεδιαστούν και με τη βοήθεια προεγγεγραμμένων μνημών ROM.



Σχήμα 1.63 Κύκλωμα πολλαπλασιασμού δύο αριθμών 2-bit.

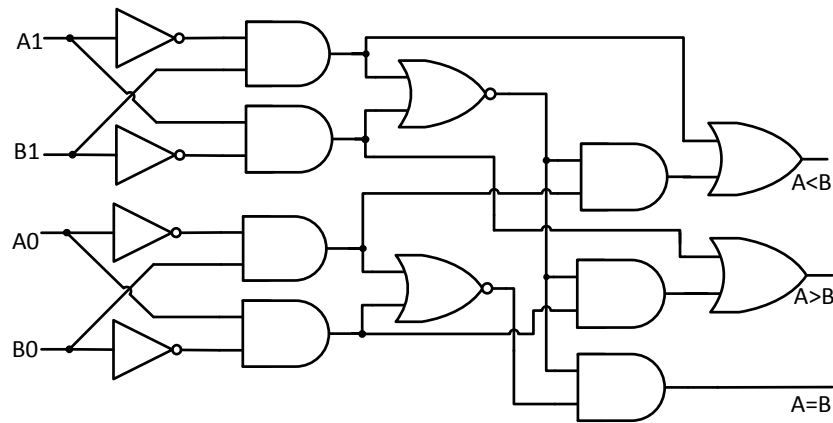
1.14 Κυκλώματα συγκριτών

Η σύγκριση δύο δυαδικών λέξεων είναι μια πράξη που χρησιμοποιείται σε όλα τα συστήματα ηλεκτρονικών υπολογιστών, καθώς και στα περισσότερα σύνθετα ψηφιακά

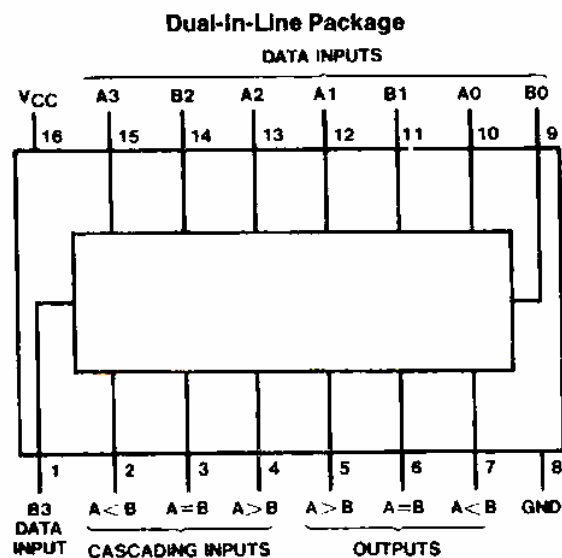
συστήματα. Ένα κύκλωμα που συγκρίνει δύο δυαδικές λέξεις και αναφέρει αν είναι ίσες ή αν η μία είναι μεγαλύτερη από την άλλη, ονομάζεται συγκριτής.

Ένας συγκριτής μπορεί να συγκρίνει απλώς 2 bits. Το απλούστερο κύκλωμα σύγκρισης δύο bits είναι η πύλη OR ή η πύλη NOR. Ένα πιο περίπλοκο κύκλωμα που μας αναφέρει αν τα συγκρινόμενα bits είναι ίσα ή αν το ένα είναι μεγαλύτερο από το άλλο, φαίνεται στο κύκλωμα του Σχ. 1.64. Με κατάλληλη επανάληψη της βασικής βαθμίδας και σύνδεση των βαθμίδων σε συνδεσμολογία καταρράκτη είναι δυνατό να δημιουργήσουμε συγκριτές λέξεων πολλών bits.

Οι εφαρμογές των συγκριτών είναι πολύ διαδεδομένες, με αποτέλεσμα να έχουν αναπτυχθεί και να κυκλοφορούν στην αγορά πολλοί συγκριτές μέσης κλίμακας ολοκλήρωσης. Ένα τέτοιο κύκλωμα είναι το TTL 74LS85 και το αντίστοιχο ισοδύναμο CMOS 4585. Τα κυκλώματα αυτά έχουν εισόδους 4-bits A3 A2 A1 A0 και B3 B2 B1 B0 για τη σύγκριση δύο λέξεων και εξόδους O_{AGTB} (out A Geater Than B), O_{ALTB} (Out A Less Than B) και O_{AEQB} (Out A Equal to B). Ανάλογα με το αποτέλεσμα της σύγκρισης ενεργοποιείται η αντίστοιχη έξοδος (Σχήμα 1.65).



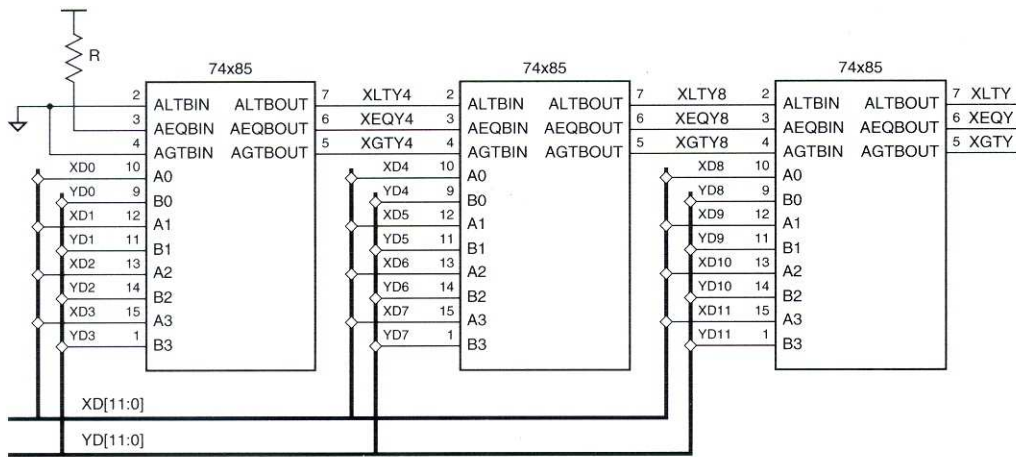
Σχήμα. 1.64 Κύκλωμα συγκριτή 2-bit.



Σχήμα 1.65 Διάγραμμα ακροδεκτών του ολοκληρωμένου κυκλώματος 74LS85.

Στο σχήμα 1.65 δίνεται το διάγραμμα ακροδεκτών του ολοκληρωμένου κυκλώματος 74LS85, σύμφωνα με τα φύλλα δεδομένων του κατασκευαστή.

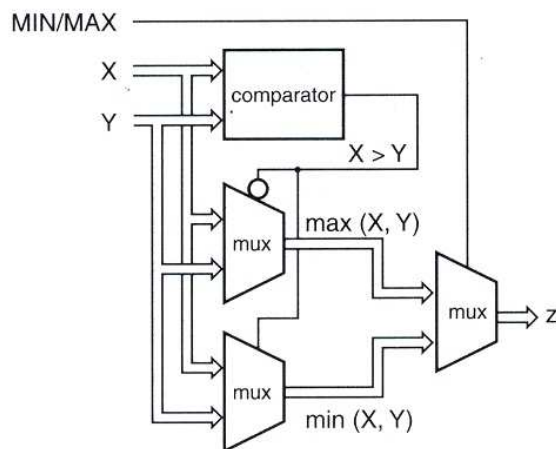
Επίσης, το ολοκληρωμένο κύκλωμα 74LS85 έχει αλυσιδωτές εισόδους (AGTB, AEQB, ALTB), με σκοπό τη δημιουργία συγκριτών για περισσότερα από τέσσερα bits. Το σχήμα 1.66 παρουσιάζει ένα τέτοιο κύκλωμα επέκτασης του συγκριτή.



Σχήμα 1.66 Διάγραμμα επέκτασης του ολοκληρωμένου κυκλώματος 74LS85 σε συγκριτή 12-bit .

1.15 Κύκλωμα εύρεσης μεγίστου/ελαχίστου

Το παρακάτω κύκλωμα του Σχήματος 1.67, δέχεται ως είσοδο δύο αριθμούς A και B, 4-bit ο καθένας και παράγει στην έξοδο τον μεγαλύτερο ή τον μικρότερο από τους δύο, ανάλογα με την τιμή του σήματος MIN/MAX. Αν το σήμα αυτό έχει τιμή 0 στην έξοδο παράγεται ο μεγαλύτερος, ενώ αν έχει τιμή 1 παράγεται ο μικρότερος. Χρησιμοποιούνται τρεις πολυπλέκτες 2:1 με 4-bit ανά κανάλι (π.χ. το OK 74LS157) και ένας συγκριτής 4-bit (π.χ. το OK 74LS85).



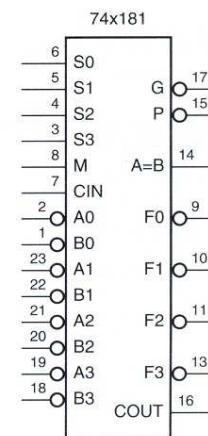
Σχήμα 1.67 Κύκλωμα εύρεσης μεγίστου/ελαχίστου

1.16 Αριθμητικές και Λογικές Μονάδες

Μια αριθμητική και λογική μονάδα δέχεται ως είσοδο δύο αριθμούς A και B, που ο καθένας έχει εύρος b-bits και εκτελεί κάθε φορά μία πράξη από έναν πίνακα συναρτήσεων. Η μονάδα διαθέτει εισόδους επιλογής, με τις οποίες ο χρήστης επιλέγει ποια πράξη εκτελείται κάθε φορά. Υπάρχουν τυπικές ΑΛΜ μέσης κλίμακας ολοκλήρωσης, που επιτελούν πράξεις σε αριθμούς 4-bit, όπως για παράδειγμα το OK 74x181, που παρουσιάζεται στο παρακάτω σχήμα 1.68. Όπως φαίνεται, η ΑΛΜ μπορεί να επιτελέσει τόσο αριθμητικές πράξεις ($M=0$), όσο και λογικές πράξεις ($M=1$) ανάμεσα στα ορίσματα της εισόδου. Επίσης, δέχεται είσοδο κρατουμένου, προκειμένου να μπορεί να επεκτείνεται ώστε να κάνει πράξεις ανάμεσα σε αριθμούς εύρους με περισσότερα από 4-bit. Η ΑΛΜ 74x181 επιτελεί συνολικά 16 διαφορετικές αριθμητικές πράξεις και 16 λογικές πράξεις.

Είσοδοι				Συνάρτηση	
S3	S2	S1	S0	M = 0 (αριθμητική)	M = 1 (λογική)
0	0	0	0	F = A μείον 1 συν CIN	F = A'
0	0	0	1	F = A · B μείον 1 συν CIN	F = A' + B'
0	0	1	0	F = A · B' μείον 1 συν CIN	F = A' + B
0	0	1	1	F = 1111 συν CIN	F = 1111
0	1	0	0	F = A συν (A + B') συν CIN	F = A' · B'
0	1	0	1	F = A · B συν (A + B') συν CIN	F = B'
0	1	1	0	F = A μείον B μείον 1 συν CIN	F = A' B'
0	1	1	1	F = A + B' συν CIN	F = A + B'
1	0	0	0	F = A συν (A + B) συν CIN	F = A' · B
1	0	0	1	F = A συν B συν CIN	F = A' B
1	0	1	0	F = A · B' συν (A + B) συν CIN	F = B
1	0	1	1	F = A + B συν CIN	F = A + B
1	1	0	0	F = A συν A συν CIN	F = 0000
1	1	0	1	F = A · B συν A συν CIN	F = A · B'
1	1	1	0	F = A · B' συν A συν CIN	F = A · B
1	1	1	1	F = A συν CIN	F = A

Λογικό σύμβολο για την ΑΛΜ 4 bit 74x181.



Σχήμα 1.68 Αριθμητική και Λογική Μονάδα 74x181, που επιτελεί 16 αριθμητικές και 16 λογικές πράξεις ανάμεσα σε αριθμούς 4-bit.

Στο παρακάτω Σχήμα 1.69 δίνεται ο πίνακας αληθείας μια μικρότερης ALU, της 74x381, η οποία δέχεται ως ορίσματα δύο αριθμούς 4-bit και επιτελεί οκτώ συνολικά αριθμητικές και λογικές πράξεις, σύμφωνα με τον πίνακα. Προφανώς η μονάδα αυτή έχει τρεις εισόδους επιλογής.

Ας προσεχθεί ότι οι συναρτήσεις που επιτελεί η μονάδα 74x381 είναι κατάλληλα επιλεγμένες, ώστε να είναι ιδιαίτερα ευέλικτες. Έτσι, για παράδειγμα θέτοντας $CIN=1$, για $S=001$ επιτελείται η πράξη $B-A$, ενώ με $CIN=0$ και $S=011$, επιτελείται η πράξη $A+B$.

<i>Είσοδοι</i>			<i>Συνάρτηση</i>
<i>S2</i>	<i>S1</i>	<i>S0</i>	
0	0	0	$F = 0000$
0	0	1	$F = B$ μείον A μείον 1 συν CIN
0	1	0	$F = A$ μείον B μείον 1 συν CIN
0	1	1	$F = A$ συν B συν CIN
1	0	0	$F = A' B$
1	0	1	$F = A + B$
1	1	0	$F = A \cdot B$
1	1	1	$F = 1111$

Σχήμα 1.69 Συναρτήσεις που εκτελούνται από την Αριθμητική και Λογική Μονάδα 74x381.

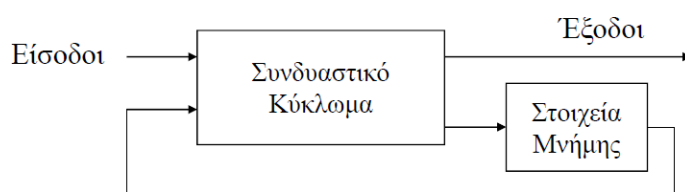
Αναφορές Κεφαλαίου 1

- [1] M. Morris Mano και M. D. Ciletti, Ψηφιακή Σχεδίαση, Κεφάλαιο 2, Παπασωτηρίου, Τέταρτη Έκδοση, Αθήνα 2010.
- [2] A. P. Malvino, Βασική Ηλεκτρονική, Κεφάλαιο 5, Εκδόσεις Τζιόλα, Θεσσαλονίκη.
- [3] J. Wakerly, Ψηφιακή Σχεδίαση, Αρχές και Πρακτικές, Τρίτη Έκδοση, Κλειδάριθμος, 2002.

Κεφάλαιο 2. Τα βασικά κυκλώματα της ακολουθιακής λογικής

2.1 Ακολουθιακά κυκλώματα

Η εκτέλεση διαδοχικών λειτουργιών απαιτεί τη δημιουργία κυκλωμάτων που μπορούν να αποθηκεύουν πληροφορίες, στα ενδιάμεσα στάδια των λειτουργιών αυτών. Αυτού του τύπου τα κυκλώματα ονομάζονται *ακολουθιακά*. Στο Σχήμα 2.1 φαίνεται το σχηματικό διάγραμμα ενός ακολουθιακού κυκλώματος.



Σχήμα 2.1: Σχηματικό διάγραμμα ακολουθιακού κυκλώματος

Ένα ακολουθιακό κύκλωμα περιλαμβάνει συνδυαστικά κυκλώματα και τουλάχιστον ένα *στοιχείο μνήμης*. Τα στοιχεία μνήμης είναι κυκλώματα που έχουν τη δυνατότητα να αποθηκεύουν πληροφορίες σε δυαδική μορφή. Οι αποθηκευμένες πληροφορίες, σε οποιαδήποτε χρονική στιγμή, καθορίζουν την *κατάσταση* του ακολουθιακού κυκλώματος τη δεδομένη στιγμή. Το ακολουθιακό κύκλωμα λαμβάνει δυαδικές πληροφορίες-δεδομένα μέσω των εισόδων του. Οι τιμές των εισόδων, σε συνδυασμό με την παρούσα κατάσταση των στοιχείων μνήμης, καθορίζουν τις τιμές των εξόδων του κυκλώματος και κατά συνέπεια και την επόμενη κατάσταση των στοιχείων μνήμης.

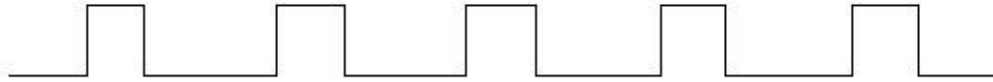
Δηλαδή, η κατάσταση ενός ακολουθιακού κυκλώματος καθορίζεται από μια χρονική ακολουθία τιμών εισόδων, εσωτερικών καταστάσεων και εξόδων.

Τα ακολουθιακά κυκλώματα διακρίνονται σε δύο βασικούς τύπους, ανάλογα με τις χρονικές στιγμές, κατά τις οποίες:

- (α) καθορίζονται οι τιμές των εισόδων και
- (β) αλλάζει η εσωτερική κατάσταση των κυκλωμάτων.

Έτσι, ένα ακολουθιακό κύκλωμα μπορεί να είναι:

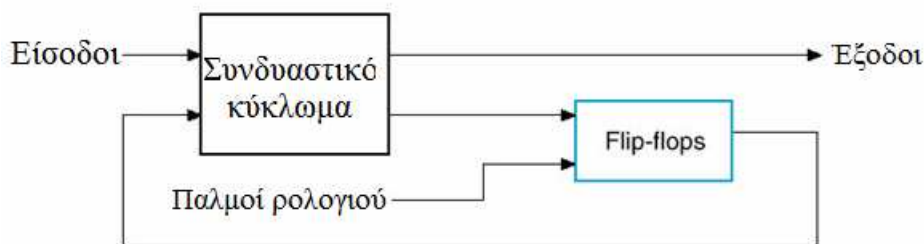
- **Σύγχρονο:** Η εφαρμογή της εισόδου, η εκτέλεση των λειτουργιών, η λήψη της εξόδου γίνεται σε καθορισμένες χρονικές στιγμές, με τη λειτουργία ενός «παλμού ρολογιού» (βλ. Σχ. 2.2).
- **Ασύγχρονο:** Οι αλλαγές κατάστασης δεν γίνονται σε καθορισμένους χρόνους αλλά σε τυχαίους χρόνους που καθορίζονται από το κύκλωμα και μόνο.



Σχήμα 2.2 Ο συγχρονισμός στα σύγχρονα κυκλώματα επιτυγχάνεται με χρήση περιοδικών παλμών ρολογιού.

Η σχεδίαση ασύγχρονων κυκλωμάτων είναι δύσκολη, αφού η λειτουργία τους εξαρτάται απ' την καθυστέρηση διάδοσης των σημάτων μέσα στο κύκλωμα και από τις χρονικές στιγμές μεταβολής των τιμών των εισόδων. Η επιλογή συνεπώς είναι η σχεδίαση σύγχρονων κυκλωμάτων, στα οποία ωστόσο περιέχονται και μονάδες που βασίζονται στην ασύγχρονη λογική. Τέτοιες δομικές μονάδες είναι τα ασύγχρονα στοιχεία μνήμης που ονομάζονται **μανδαλωτές** και αποτελούν τη βάση για την υλοποίηση των **flip-flop**, που αποθηκεύουν πληροφορίες στα σύγχρονα κυκλώματα.

Τα σύγχρονα ακολουθιακά κυκλώματα που χρησιμοποιούν παλμούς ρολογιού ως εισόδους στα στοιχεία μνήμης ονομάζονται **χρονιζόμενα** ακολουθιακά κυκλώματα. Οι τιμές των εξόδων των στοιχείων μνήμης (δηλ. της κατάστασής τους) μπορούν να μεταβάλλονται **μόνο** κατά τη διάρκεια εφαρμογής των παλμών. Όταν δεν υπάρχει παλμός ρολογιού, οι τιμές των εξόδων δεν αλλάζουν, ακόμα και αν οι τιμές των εισόδων μεταβληθούν. Τα στοιχεία μνήμης ονομάζονται **flip-flop** και είναι διατάξεις που μπορούν να αποθηκεύουν 1 bit δυαδικών δεδομένων (Σχήμα 2.3).



Σχήμα 2.3: Σχηματικό διάγραμμα σύγχρονου ακολουθιακού κυκλώματος

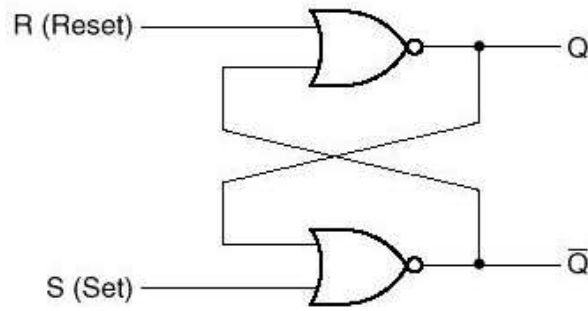
Ένα flip-flop διαθέτει μία ή δύο εξόδους. Η μία αντιστοιχεί στην κανονική τιμή του bit που αποθηκεύεται, ενώ η δεύτερη έξοδος είναι «προαιρετική» και αντιστοιχεί στο συμπλήρωμα της τιμής του αποθηκευμένου bit.

2.2 Μανδαλωτές και flip-flop

2.2.1 Μανδαλωτής SR

Είναι ένα κύκλωμα που αποτελείται από δύο πύλες NOR, που συνδυάζονται όπως φαίνεται στο Σχ. 2.4.

Ο μανδαλωτής έχει δύο εισόδους, που χαρακτηρίζονται ως **S** (*set*) και **R** (*reset*), καθώς και δύο αξιοποιήσιμες εξόδους, που καθορίζουν την κατάσταση του κυκλώματος.



Σχήμα 2.4 Μανδαλωτής SR με πύλες NOR.

Η κατάσταση $Q = 1$ και $\bar{Q} = 0$, του μανδαλωτή χαρακτηρίζεται ως **κατάσταση set**.

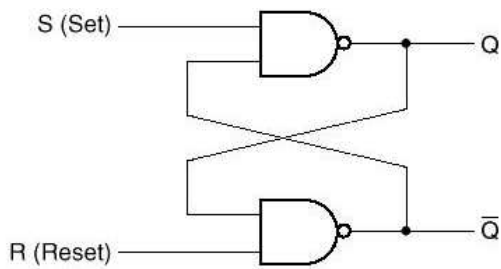
Η κατάσταση $Q = 0$ και $\bar{Q} = 1$, του μανδαλωτή χαρακτηρίζεται ως **κατάσταση reset**. Οι έξοδοι είναι η μία συμπλήρωμα της άλλης. Όταν και οι δύο είσοδοι πάρουν την τιμή 1 ταυτόχρονα, τότε προκύπτει μία **μη-επιτρεπτή** κατάσταση. Η λειτουργία του μανδαλωτή περιγράφεται στον Πίνακα 2.1

Πίνακας 2.1				
Λειτουργία του μανδαλωτή SR				
Είσοδοι		Έξοδοι		Κατάσταση
S	R	Q	\bar{Q}	
1	0	1	0	Set
0	0	1	0	Store
0	1	0	1	Reset
0	0	0	1	Store
1	1	0	0	Μη-επιτρεπτή

2.2.2 Μανδαλωτής \overline{SR}

Είναι ένα κύκλωμα που αποτελείται από δύο πύλες NAND, που συνδυάζονται όπως φαίνεται στο Σχ. 2.5.

Ο πίνακας λειτουργίας του κυκλώματος είναι ο Πίνακας 2.2.



Πίνακας 2.2
Λειτουργία του μανδαλωτή \overline{SR}

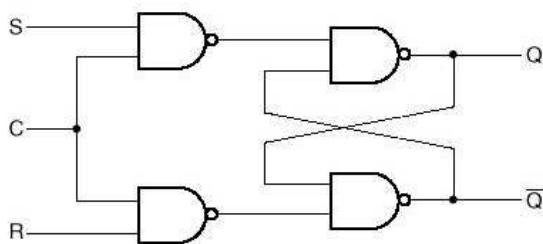
Είσοδοι		Έξοδοι		Κατάσταση
S	R	Q	\overline{Q}	
0	1	1	0	Set
1	1	1	0	Store
1	0	0	1	Reset
1	1	0	1	Store
0	0	1	1	Μη-επιτρεπτή

Σχήμα 2.5 Μανδαλωτής \overline{SR} .

2.2.3 Χρονιζόμενος μανδαλωτής SR

Η λειτουργία του βασικού κυκλώματος του μανδαλωτή SR μπορεί να τροποποιηθεί, με χρήση μιας πρόσθετης εισόδου ελέγχου (παλμός ρολογιού), που καθορίζει το πότε μεταβάλλεται η κατάσταση του. Το σχηματικό διάγραμμα του κυκλώματος φαίνεται στο σχήμα 2.6. Ο πίνακας λειτουργίας του είναι ο Πίνακας 2.3

Όταν και οι τρεις εισόδοι βρεθούν στην τιμή 1, οι τιμές των εισόδων του βασικού μανδαλωτή γίνονται 0. Αυτό οδηγεί σε μη-επιτρεπτή κατάσταση, αφού και οι δύο έξοδοι παίρνουν τιμή 1.



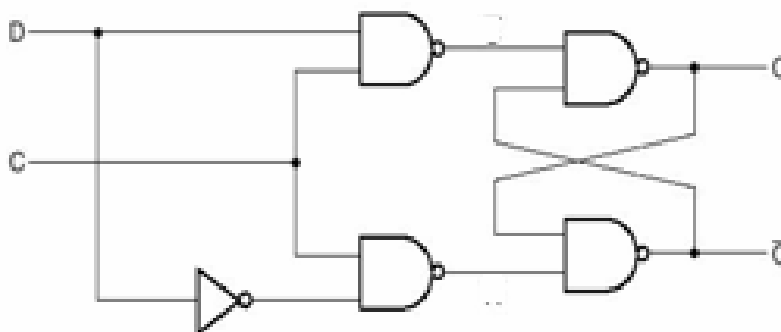
Πίνακας 2.3
Λειτουργία του χρονιζόμενου μανδαλωτή SR

Είσοδοι			Έξοδοι		Κατάσταση
C	S	R	Q	\overline{Q}	
0	X	X	Q	\overline{Q}	Store
1	0	0	Q	\overline{Q}	Store
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	1	1	Μη-επιτρεπτή

Σχήμα 2.6 Χρονιζόμενος μανδαλωτής SR

2.2.4 Μάνδαλο τύπου D

Ένας τρόπος να αντιμετωπιστεί το πρόβλημα της ανεπιθύμητης συμπεριφοράς λόγω της μη-επιτρεπτής κατάστασης στον μανδαλωτή SR είναι να διασφαλιστεί ότι οι εισοδοί S και R δεν θα παίρνουν την τιμή 1 ταυτόχρονα. Αυτό επιτυγχάνεται με χρήση του D *flip-flop* (σχ. 2.7).



Σχήμα 2.7 Μάνδαλο τύπου D

Το κύκλωμα έχει μόνο δύο εισόδους: την D (data) και την C (control). Η τιμή της εισόδου D εμφανίζεται στην έξοδο όταν $C = 1$. Όταν $D = 1$, η έξοδος Q παίρνει την τιμή 1, οπότε το κύκλωμα βρίσκεται σε κατάσταση set. Όταν $D = 0$, η έξοδος Q παίρνει τιμή 0, οπότε το κύκλωμα μεταβαίνει σε κατάσταση reset (Πίνακας 2.4).

Πίνακας 2.4		
Λειτουργία του μανδαλωτή D		
Είσοδοι		Επόμενη κατάσταση της εξόδου Q
C	D	
0	X	Store
1	0	0, Reset
1	1	1, Set

2.2.5 D Flip-Flop

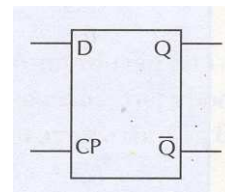
Τα μάνδαλα αλλάζουν την κατάσταση της εξόδου όταν η είσοδος ενεργοποίησης είναι σε λογικό 1. Στα Flip Flop, ο ακροδέκτης ενεργοποίησης αντικαθίσταται από τον ακροδέκτη ρολογιού (Clock). Τα Flip Flop αλλάζουν την κατάσταση της εξόδου όταν ο ακροδέκτης Clock λαμβάνει μέτωπο παλμού. Το μέτωπο παλμού αντιστοιχεί στη μετάβαση από το low στο high ή αντίθετα. Έτσι, έχουμε Flip Flop που ανανεώνουν την κατάστασή τους με θετικό μέτωπο παλμού (από το low στο high) ή με αρνητικό μέτωπο παλμού (από το high στο low).

Η λειτουργία του D Flip-Flop περιγράφεται παρακάτω:

- Αν ο ακροδέκτης ρολογιού CP βρίσκεται σε άλλη κατάσταση εκτός από το ενεργό μέτωπο παλμού, τότε το flip-flop δεν μπορεί να αλλάξει κατάσταση, ανεξάρτητα από την τιμή της εισόδου D.
- Αν ο ακροδέκτης ρολογιού CP δέχεται ενεργό μέτωπο παλμού (θετικό ή αρνητικό, ανάλογα με τον κατασκευαστή), η είσοδος D περνάει στην έξοδο.

Ανάμεσα στα ενεργά μέτωπα ρολογιού, η έξοδος παραμένει αμετάβλητη, διατηρώντας μνήμη της προηγούμενης κατάστασης. Η έξοδος ανανεώνεται στο επόμενο ενεργό μέτωπο του ρολογιού.

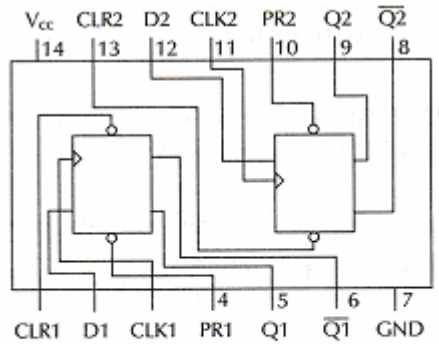
Q(n)	D	Q(n+1)
0	0	0
0	1	1
1	0	0
1	1	1



Σχήμα 2.8 Χαρακτηριστικός πίνακας του D Flip-Flop και σχηματικό σύμβολο

2.2.5.1 Ολοκληρωμένο D flip-flop 7474

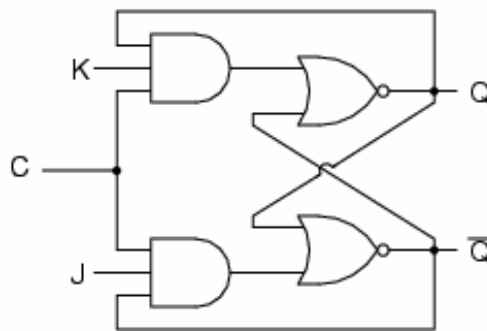
Ένα τυπικό ολοκληρωμένο κύκλωμα που περιέχει D flip-flop είναι το 7474, που περιέχει δύο ακμοπυροδοτούμενα D flip-flop (θετικής ακμής, δηλαδή ανανεώνουν την κατάστασή τους στο θετικό μέτωπο του παλμού ρολογιού). Κάθε flip-flop διαθέτει εισόδους D (data), CLK (clock), καθώς και δύο ασύγχρονες εισόδους preset (PR) και clear (CLR). Επίσης, διαθέτει δύο εξόδους, συμπληρωματικές μεταξύ τους. Οι εισοδοί λειτουργούν ανεξάρτητα από την είσοδο του ρολογιού. Η τιμή της εισόδου D οδηγείται στις εξόδους Q , \bar{Q} , κατά τη μετάβαση του παλμού ρολογιού απ' το 0 στο 1 (θετική ακμή). Η τιμή της εισόδου πρέπει να είναι καθορισμένη πριν τη μετάβαση του παλμού, ώστε να λειτουργήσει σωστά το κύκλωμα (Σχ. 2.9). Όταν η ασύγχρονη είσοδος preset γίνει ενεργή με low, η έξοδος γίνεται αναγκαστικά HIGH. Όταν η ασύγχρονη είσοδος clear γίνει ενεργή με low, τότε η έξοδος γίνεται αναγκαστικά low.



Σχήμα 2.9 D flip-flop(ολοκληρωμένο 7474)

2.2.6 JK Flip-Flop

Το JK flip-flop έχει δύο εισόδους, την J (set) και την K (reset). Αποτελεί τροποποίηση του μανδαλωτή SR, χωρίς να οδηγεί σε μη-επιτρεπτή κατάσταση (Σχ. 2.10). Η παρουσία των πυλών AND διασφαλίζει το ότι η είσοδος J επιδρά μόνον όταν το κύκλωμα βρίσκεται σε κατάσταση reset, ενώ η K μόνον όταν βρίσκεται σε κατάσταση set. Με άλλα λόγια, οι δύο εισοδοί δεν μπορούν να ενεργοποιηθούν ταυτόχρονα.



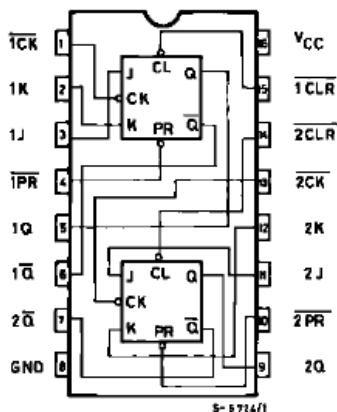
Σχήμα 2.10 JK flip-flop

Ο πίνακας 2.5 είναι ο πίνακας λειτουργίας ενός JK flip-flop. Ο πίνακας αναφέρεται στη λειτουργία του κυκλώματος, κατά την εφαρμογή παλμού ρολογιού. Η κατάσταση Q είναι η παρούσα κατάσταση του κυκλώματος και η Q(t+1), η κατάσταση στην οποία μεταβαίνει όταν δέχεται παλμό ρολογιού. Όπως φαίνεται, η νέα κατάσταση Q(t+1) ενός JK Flip Flop εξαρτάται από την προηγούμενη κατάσταση Q(t) και από την κατάσταση των εισόδων J και K.

Πίνακας 2.5 Λειτουργία του JK flip-flop			
Q	J	K	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

2.2.6.1 74112 JK Flip-Flop

Ένα τυπικό ολοκληρωμένο κύκλωμα που περιέχει JK flip-flops είναι το 74112 (σχ. 2.11), που περιέχει δύο ακμοπυροδοτούμενα JK flip-flops. Κάθε flip-flop διαθέτει εισόδους J, K, C (clock), set και clear, καθώς και δύο εξόδους, συμπληρωματικές μεταξύ τους. Το 74112 έχει είσοδο clock, που ενεργοποιείται με το αρνητικό μέτωπο του παλμού ρολογιού. Όταν ο παλμός ρολογιού μεταβαίνει από 0 σε 1, η έξοδος μεταβαίνει τη νέα κατάσταση Q(t+1). Η Οι τιμές των εισόδων J, K μπορούν να μεταβάλλονται όταν ο παλμός ρολογιού είναι σε τιμή 1. Τα δεδομένα αυτά μεταφέρονται στην έξοδο, κατά την αρνητική ακμή του παλμού. Οι είσοδοι Preset και Clear είναι ασύγχρονες, δηλαδή ενεργούν στο κύκλωμα ανεξάρτητα από τον παλμό ρολογιού. Επίσης, είναι ενεργές με low. Όταν η είσοδος Preset είναι 0, τότε η έξοδος Q γίνεται 1. Όταν η είσοδος Clear είναι 0, τότε η έξοδος Q γίνεται 0.



PIN No	SYMBOL	NAME AND FUNCTION
1, 13	1CK, 2CK	Clock Input (HIGH to LOW edge triggered)
2, 12	1K, 2K	Data Inputs: Flip-Flop 1 and 2
3, 11	1J, 2J	Data Inputs: Flip-Flop 1 and 2
4, 10	1PR, 2PR	Set Inputs
5, 9	1Q, 2Q	True Flip-Flop Outputs
6, 7	1Q-bar, 2Q-bar	Complement Flip-Flop Outputs
15, 14	1CLR, 2CLR	Reset inputs
8	GND	Ground (0V)
16	VCC	Positive Supply Voltage

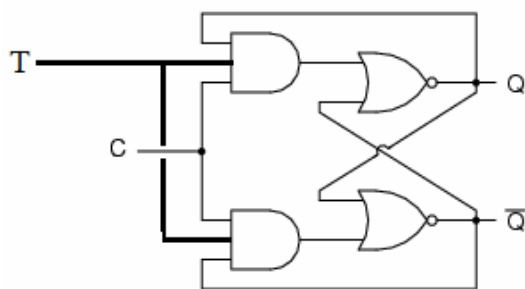
Σχήμα 2.11 JK flip-flop(ολοκληρωμένο 74112) και περιγραφή των ακροδεκτών

2.2.7 T Flip-Flop

Πρόκειται για παραλλαγή του JK *flip-flop*, όπου οι είσοδοι J και K έχουν γίνει μία (σχ. 2.12). Η ονομασία T *flip-flop* προέρχεται από τη δυνατότητα του *flip-flop* να αντιστρέφεται (*toggle*), δηλαδή να αλλάζει κατάσταση.

Όταν η είσοδος T του *flip-flop* είναι T=1, όταν έλθει ο παλμός του ρολογιού μεταβαίνει στη συμπληρωματική κατάσταση.

Όταν T=0, $Q(t+1)=Q$, δηλαδή η επόμενη κατάσταση είναι ίδια με την παρούσα και δε συμβαίνει καμιά αλλαγή.



Πίνακας 2.6 Λειτουργία του T flip-flop		
Q	T	Q(n+1)
0	0	0
0	1	1
1	0	1
1	1	0

Σχήμα 2.12 T flip-flop

2.3 Καταχωρητές

Ένα ακολουθιακό κύκλωμα με ρολόι αποτελείται από *flip-flop* και από συνδυαστικές πύλες συνδεδεμένες έτσι ώστε να δίνουν ανάδραση. Τα *flip-flop* παίζουν ουσιαστικό ρόλο. Αν λείπουν αυτά, τότε το κύκλωμα θα είναι καθαρά συνδυαστικό (αν βέβαια δεν έχει ανάδραση). Από την άλλη μεριά, ένα κύκλωμα που περιέχει μόνο *flip-flop* είναι ακολουθιακό, ακόμα και αν δεν έχει συνδυαστικές πύλες.

Οι καταχωρητές, (όπως οι μετρητές και οι μνήμες) χρησιμοποιούνται ευρύτατα στο σχεδιασμό ψηφιακών συστημάτων, γενικά, καθώς και ψηφιακών υπολογιστών ειδικότερα. Οι καταχωρητές είναι επίσης χρήσιμοι στη σχεδίαση ακολουθιακών κυκλωμάτων. Η γνώση συνεπώς της λειτουργίας τους είναι απαραίτητη για την κατανόηση της οργάνωσης και της σχεδίασης των ψηφιακών συστημάτων.

Ένας καταχωρητής (*register*) είναι μια ομάδα από δυαδικά κύτταρα αποθήκευσης, που είναι κατάλληλα ώστε να καταχωρούνται σ' αυτά δυαδικές πληροφορίες. Μια ομάδα *flip-flop* αποτελεί έναν καταχωρητή, αφού κάθε *flip-flop* μπορεί να αποθηκεύσει ένα bit πληροφορίας. Ένας καταχωρητής των n-bit περιέχει n-*flip-flop* και άρα είναι σε θέση να αποθηκεύσει οποιαδήποτε δυαδική πληροφορία περιέχει n-bit. Επιπλέον των *flip-flop*, ένας καταχωρητής μπορεί να περιέχει πύλες για να εκτελούν διάφορες λειτουργίες επεξεργασίας δεδομένων. Με την ευρύτερη έννοια ένας καταχωρητής αποτελείται από ένα σύνολο *flip-flop* και από πύλες για την επίτευξη της μεταφοράς των πληροφοριών. Τα *flip-flop* κρατούν τις δυαδικές πληροφορίες και οι πύλες ελέγχουν το πότε και πώς θα μεταφερθούν νέες πληροφορίες μέσα στον καταχωρητή.

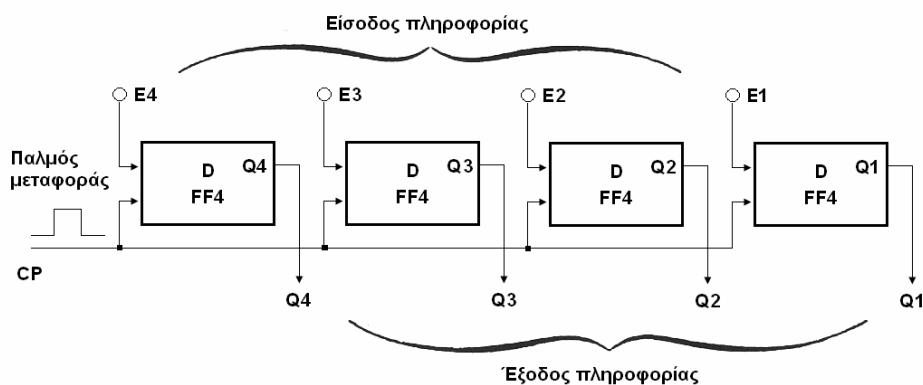
Ένας επεξεργαστής διαθέτει μεγάλο πλήθος καταχωρητών, το μήκος των οποίων (αριθμός *flip-flop*) είναι συνήθως ίσο με το μήκος της λέξης του επεξεργαστή.

Οι καταχωρητές χρησιμοποιούνται όπου απαιτείται προσωρινή αποθήκευση, όπως για παράδειγμα είναι η καταχώρηση δεδομένων και αποτελεσμάτων πράξεων, κατά τη λειτουργία της CPU ενός επεξεργαστή. Αντίθετα, για λειτουργίες μόνιμης αποθήκευσης χρησιμοποιούνται διάφοροι τύποι ημιαγωγικών μνημών (RAM, ROM, PROM κ.λπ.). Οι καταχωρητές διακρίνονται συνήθως σε:

- Στατικούς καταχωρητές
- Καταχωρητές ολίσθησης (shift register)

2.3.1 Στατικός καταχωρητής

Ένας καταχωρητής στον οποίο αποθηκεύουμε πληροφορία, την οποία μπορούμε να πάρουμε αργότερα. Στο Σχ. 2.13 φαίνεται ένας καταχωρητής που αποτελείται από *flip-flop* τύπου D.



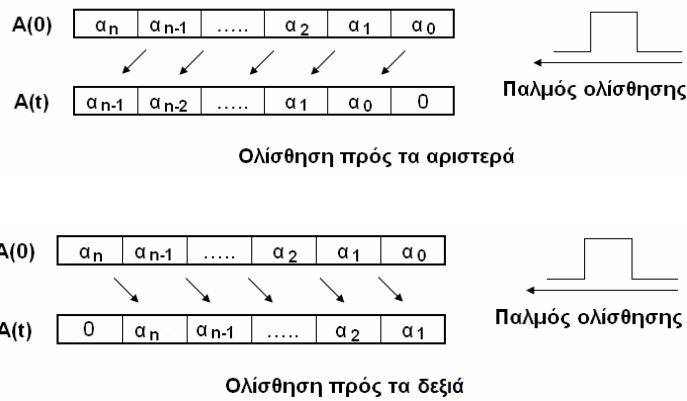
Σχήμα 2.13: Σχηματικό διάγραμμα στατικού καταχωρητή

Στη συγκεκριμένη περίπτωση ο καταχωρητής έχει μήκος 4 (αποτελείται από 4 *flip-flop*). Η πληροφορία που πρόκειται να αποθηκευτεί είναι 4-bit και εισάγεται (είσοδοι E1, E2, E3, E4). Όπως ήδη γνωρίζουμε απ' τη λειτουργία του D-*flip-flop*, η πληροφορία θα εμφανιστεί στις εξόδους Q1, Q2, Q3, Q4, όταν εφαρμοστεί ο παλμός ρολογιού CP.

Ο παλμός αυτός λέγεται *παλμός μεταφοράς* στον καταχωρητή. Όλα τα *flip-flop* ενεργοποιούνται με τον ίδιο παλμό (*σύγχρονη λειτουργία*), δηλαδή τα δεδομένα οδηγούνται σε όλα τα *flip-flop* ταυτόχρονα.

2.3.2 Καταχωρητής ολίσθησης (shift register)

Ένας καταχωρητής που μπορεί να ολισθήσει (μετακινήσει) το περιεχόμενό του κατά μία θέση, κάθε φορά που εφαρμόζεται ένας παλμός ρολογιού (*παλμός ολίσθησης*). Ανάλογα με την κατασκευή του καταχωρητή, η ολίσθηση μπορεί να γίνει προς τα αριστερά, προς τα δεξιά, ή και προς τις δύο κατευθύνσεις (*αμφίδρομος καταχωρητής*).

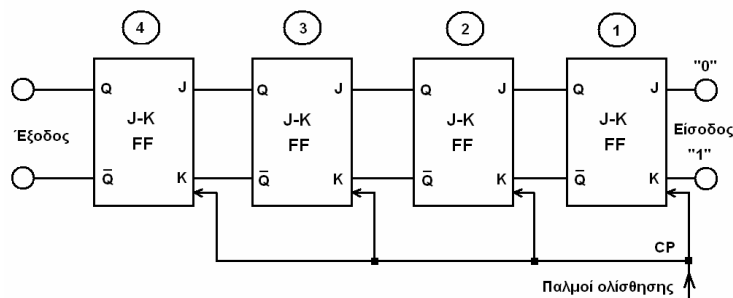


Σχήμα 2.14: Σχηματικό διάγραμμα ολίσθησης προς τα αριστερά και προς τα δεξιά

Όταν η ολίσθηση γίνεται προς τα αριστερά, τα τελευταία προς τα αριστερά ψηφία «χάνεται», ενώ το πρώτο προς τα δεξιά ψηφίο αντικαθίσταται με «0». Όταν η ολίσθηση γίνεται προς τα δεξιά «χάνεται» το πρώτο προς τα δεξιά ψηφίο και αντικαθίσταται με «0» το τελευταίο αριστερά ψηφία (σχ. 2.14).

Στο σχήμα 2.15 φαίνεται ένας καταχωρητής ολίσθησης προς τα αριστερά, κατασκευασμένος με JK *flip-flop*. Στις εισόδους του πρώτου *flip-flop* (FF1) δίνουμε J=0, K=1. Στην εργαστηριακή άσκηση 7 είδαμε ότι, με την εφαρμογή του παλμού οι τιμές των εξόδων του FF1 θα είναι $Q1 = 0, \overline{Q1} = 1$, δηλαδή το περιεχόμενό του ουσιαστικά μεταφέρεται στο FF2, που δίνει εξόδους $Q2 = 0, \overline{Q2} = 1$. Έτσι, το περιεχόμενο κάθε *flip-flop* μεταφέρεται στο επόμενο, με κάθε παλμό, ενώ το περιεχόμενο του FF4 «χάνεται».

Προφανώς, μετά την εφαρμογή 4 παλμών ολίσθησης, το περιεχόμενο όλων των *flip-flop* γίνεται «0». Στον πίνακα 2.7 φαίνονται τα διαδοχικά στάδια ολίσθησης της ακολουθίας «1101», που θεωρούμε ότι αρχικά εισήχθη στον καταχωρητή.



ΠΙΝΑΚΑΣ 8.1 ΛΕΙΤΟΥΡΓΙΑ ΟΛΙΣΘΗΤΗ ΠΡΟΣ ΤΑ ΑΡΙΣΤΕΡΑ				
Παλμοί ολίσθησης	4 FF	3 FF	2 FF	1 FF
0	1	1	0	1
1ος	1	0	1	0
2ος	0	1	0	0
3ος	1	0	0	0
4ος	0	0	0	0

Σχήμα 2.15: Σχηματικό διάγραμμα καταχωρητή ολίσθησης προς τα αριστερά και ο πίνακας λειτουργίας του.

Όταν ο καταχωρητής είναι κατασκευασμένος ώστε το ψηφίο που «χάνεται» κατά την ολίσθηση να αντικαθιστά το ψηφίο που μηδενίζεται, ο καταχωρητής ονομάζεται *κυκλικός*.

2.3.3 Είσοδος (φόρτωση) και έξοδος του καταχωρητή

Ανάλογα με τον τρόπο τοποθέτησης των δεδομένων εισόδου και τον τρόπο εξόδου των περιεχομένων ενός καταχωρητή ολίσθησης μπορούμε να τους κατατάξουμε σε τέσσερις κατηγορίες:

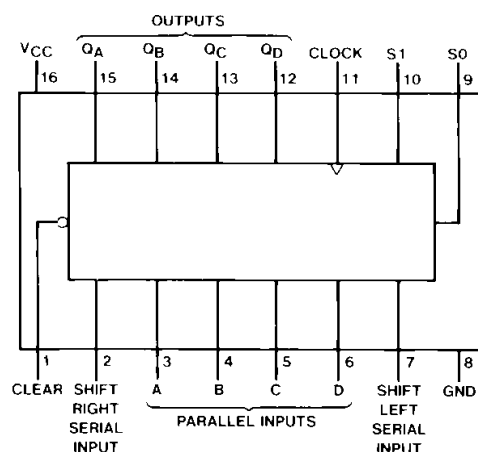
- Σειριακής εισόδου-σειριακής εξόδου (serial-in, serial-out: **SISO**)
- Σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out: **SIPO**)
- Παράλληλης εισόδου-σειριακής εξόδου (parallel-in, serial-out: **PISO**)
- Παράλληλης εισόδου-παράλληλης εξόδου (parallel-in, parallel-out: **PIPO**)

2.3.4 Γενικός καταχωρητής ολίσθησης 4-bit 74194

Το ολοκληρωμένο κύκλωμα 74194 (σχ. 2.16) δίνει τη δυνατότητα λειτουργίας παράλληλης εισόδου, παράλληλης εξόδου, ολίσθησης προς τα δεξιά και προς τα αριστερά (με αντίστοιχες εισόδους επιλογής), καθώς και μια είσοδο clear για διαγραφή δεδομένων. Οι τρόποι λειτουργίας είναι οι εξής:

- Παράλληλη φόρτωση
- Δεξιά ολίσθηση
- Αριστερή ολίσθηση
- Αναστολή λειτουργίας (αδράνεια)

Η σύγχρονη παράλληλη φόρτωση επιτυγχάνεται με εισαγωγή πληροφορίας 4-bit και με τις εισόδους επιλογής λειτουργίας S0 και S1 σε τιμή/κατάσταση HIGH (λογικό «1»). Τα δεδομένα οδηγούνται στα αντίστοιχα *flip-flop* και εμφανίζονται στις εξόδους, με την θετική ακμή του εφαρμοζόμενου παλμού ρολογιού. Κατά τη φόρτωση αναστέλλεται η σειριακή ροή δεδομένων. Η ολίσθηση προς τα δεξιά επιτυγχάνεται κατά τη θετική ακμή του παλμού, όταν η είσοδος S0=«1» και η S1=«0». Αντίστοιχα για S0=«0» και S1=«1» επιτυγχάνεται ολίσθηση προς τα αριστερά.



Σχήμα 2.16 Σχηματικό διάγραμμα καταχωρητής ολίσθησης 74194.

2.4 Απαριθμητές

Ο απαριθμητής (counter) είναι ένα ακολουθιακό κύκλωμα το οποίο στην έξοδό του απαριθμεί τους ωρολογιακούς παλμούς που λαμβάνει στην είσοδο. Ένας απαριθμητής διαθέτει μία είσοδο ωρολογιακών παλμών και έξοδο n -bits, ώστε μπορεί να απαριθμήσει 2^n καταστάσεις. Έστω, για παράδειγμα ότι η έξοδος είναι 4-bits, από Q_0 έως Q_3 . Ο απαριθμητής μπορεί να μετρήσει από 0000 (δηλαδή 0 στο δεκαδικό) μέχρι 1111 (δηλαδή 15 στο δεκαδικό). Συνολικά, απαριθμεί δεκαέξι καταστάσεις. Στον επόμενο ωρολογιακό παλμό μετά την κατάσταση 1111, ο απαριθμητής υπερχειλίζει και η έξοδος του επιστρέφει αυτόματα στο μηδέν. Στη συνέχεια, επαναλαμβάνει την απαρίθμηση. Ένας απαριθμητής είναι δυνατό να μετρά και ανάποδα, δηλαδή προς τα κάτω, οπότε λέγεται φθίνων απαριθμητής (down counter).

Αντίστοιχα με τα παραπάνω, αν ο απαριθμητής έχει 8-bits στην έξοδο (Q_0 έως Q_7), τότε μπορεί να απαριθμήσει 256 καταστάσεις, από 0 έως 255. Στον Πίνακα 2.8 φαίνεται η ακολουθία μέτρησης ενός αύξοντα απαριθμητή 4-bit.

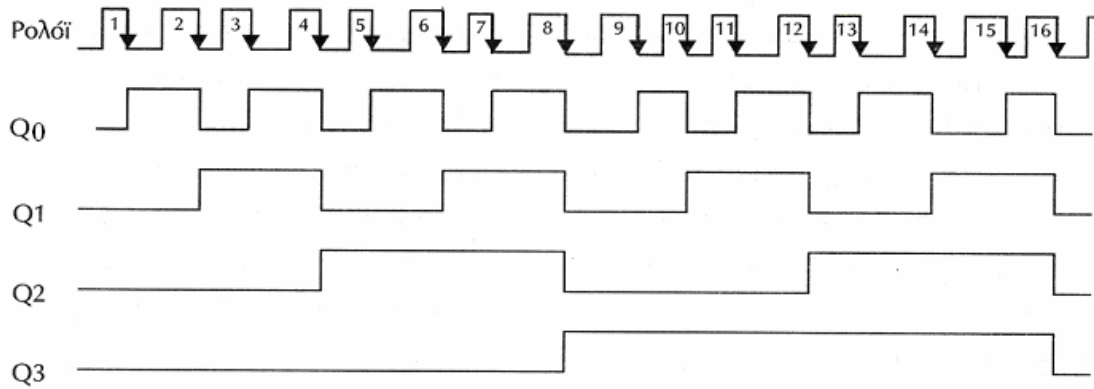
Πίνακας 2.8 Δυαδική ακολουθία μέτρησης ενός απαριθμητή 4-bit

Q_3	Q_2	Q_1	Q_0	cl
0	0	0	0	↑
0	0	0	1	↑
0	0	1	0	↑
0	0	1	1	↑
0	1	0	0	↑
0	1	0	1	↑
0	1	1	0	↑
...				...
1	1	1	1	↑
0	0	0	0	↑

Όπως μπορεί να δει κανείς αν καταγράψει τις διαδοχικές μεταβολές των εξόδων, η περίοδος της εξόδου Q_0 είναι διπλάσια της περιόδου του ωρολογιακού παλμού T_{cl} , η περίοδος της εξόδου Q_1 είναι τετραπλάσια, ενώ και οι άλλες εξοδοί έχουν περίοδο ακέραιο πολλαπλάσιο της T_{cl} (Σχήμα 2.17).

Μια οποιαδήποτε έξοδος Q_n του απαριθμητή μεταβάλλεται με περίοδο:

$$T_{Q_n} = T_{cl} \times 2^{n+1}$$

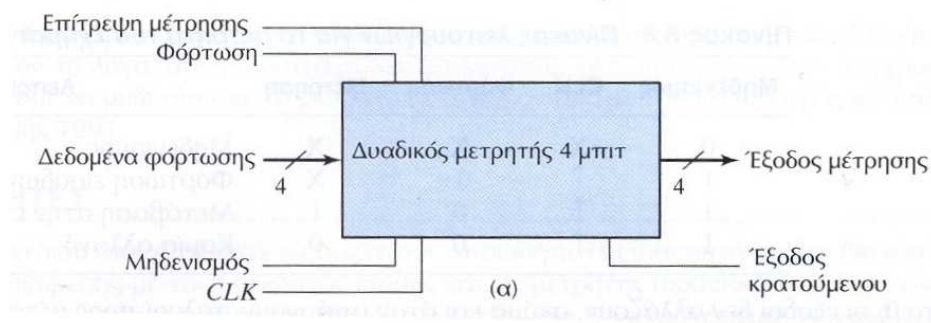


Σχήμα 2.17 Κυματομορφές των εξόδων Q0 έως Q3, καθώς το σύστημα δέχεται διαδοχικούς παλμούς ρολογιού.

Η συχνότητα f των παλμών 0 και 1 στην έξοδο Q_n είναι

$$f_{Q_n} = 1/(T_{cl} \times 2^{n+1})$$

Το διάγραμμα βαθμίδας ενός απαριθμητή φαίνεται στο Σχήμα 2.18. Παρατηρούμε ότι εκτός από την είσοδο του ωρολογιακού παλμού, ο απαριθμητής μπορεί να φέρει και επιπλέον εισόδους. Μία βασική τέτοια είσοδος είναι η είσοδος μηδενισμού (reset). Όταν η είσοδος αυτή καθίσταται ενεργή, τότε η έξοδος του απαριθμητή επιστρέφει στο μηδέν, ανεξάρτητα από την κατάσταση στην οποία βρίσκεται το κύκλωμα. Μια άλλη είσοδος που απαντάται στους απαριθμητές είναι η είσοδος Enable (επίτρεψης ή ενεργοποίησης). Όσο η είσοδος Enable είναι ενεργή, ο απαριθμητής μεταβάλλει την είσοδό του κανονικά, απαριθμώντας προς τα πάνω (up counter) ή προς τα κάτω (down counter). Όταν η είσοδος enable καταστεί ανενεργή, τότε ο απαριθμητής διακόπτει την απαρίθμηση και παγώνει στην τελευταία κατάσταση, ακόμη κι αν συνεχίσει να δέχεται παλμούς ρολογιού. Η είσοδος μηδενισμού και ενεργοποίησης μπορεί να είναι ενεργές με low (active low) ή με high (active high), ανάλογα με τον κατασκευαστή. Επίσης, η είσοδος ρολογιού μπορεί να είναι ενεργή με low ή με high,



Σχήμα 2.18 Διάγραμμα βαθμίδας βασικού απαριθμητή, με εισόδους επίτρεψης και μηδενισμού. Ο απαριθμητής δέχεται είσοδο αρχικής φόρτωσης (LOAD).

οπότε η μεταβολή της εξόδου γίνεται με το αρνητικό ή με το θετικό μέτωπο του ωρολογιακού παλμού, αντίστοιχα.

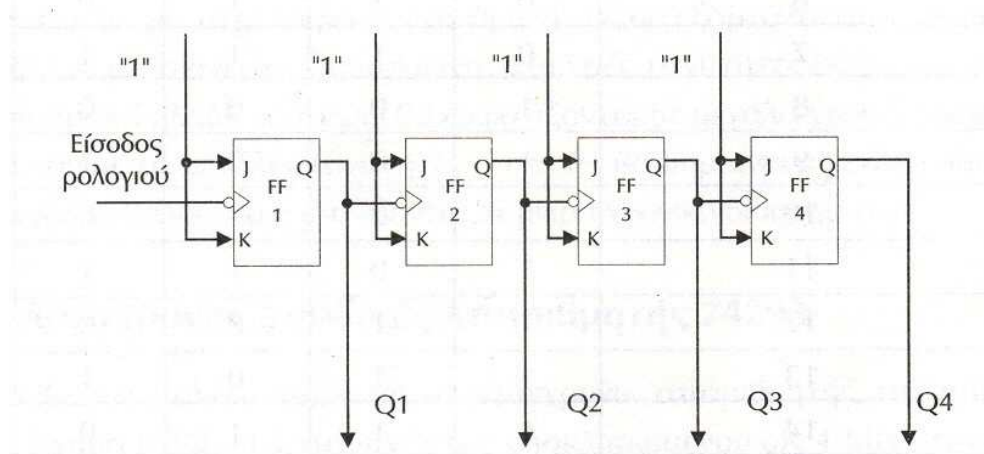
Αν ο μετρητής είναι σχεδιασμένος ώστε να μετρά και προς τα πάνω και προς τα κάτω, τότε λέγεται αμφίδρομος απαριθμητής (up-down counter). Για την επιλογή της κατεύθυνσης της απαρίθμησης, ο απαριθμητής αυτός θα φέρει ειδική είσοδο (UP/DOWN).

Σε ορισμένες περιπτώσεις, ένας απαριθμητής μπορεί να φορτωθεί με μια αρχική κατάσταση, οπότε η απαρίθμηση ξεκινά από την κατάσταση αυτή. Για το σκοπό αυτό ο απαριθμητής πρέπει να φέρει ειδική είσοδο φόρτωσης (LOAD).

Οι απαριθμητές υλοποιούνται με δισταθή κυκλώματα τύπου Flip-Flop (FF), όπως είναι το T, το D και το JK Flip-Flop. Διακρίνονται σε σύγχρονους και ασύγχρονους απαριθμητές ή αλλιώς απαριθμητές ριπής (ripple counters). Παρακάτω θα παρουσιαστούν συνοπτικά τα δύο είδη απαριθμητών.

2.4.1 Ασύγχρονοι απαριθμητές

Οι ασύγχρονοι απαριθμητές υλοποιούνται ως μια σειριακή διασύνδεση Flip-Flop, όπου η έξοδος κάθε προηγούμενου FF τροφοδοτεί την είσοδο ρολογιού του επόμενου FF. Ο ωρολογιακός παλμός που οδηγεί την ακολουθία των εξόδων εφαρμόζεται στην είσοδο ρολογιού του πρώτου στη σειρά FF, η έξοδος του οποίου αντιστοιχεί στο ελάχιστο σημαντικό bit (LSB) του απαριθμητή. Μια υλοποίηση ασύγχρονου μετρητή με T FF φαίνεται στο Σχήμα 2.19. Το T-FF δημιουργείται από το JK-FF, όπου $J=K=1$. Όπως φαίνεται στο σχήμα, η είσοδος ρολογιού είναι ενεργή με το αρνητικό μέτωπο του ωρολογιακού παλμού. Κάθε φορά που ένα FF δέχεται τη μετάβαση από 1 σε 0 στην είσοδο clock, η έξοδος του «συμπληρώνεται», δηλαδή αλλάζει κατάσταση. Ως αποτέλεσμα, οι έξοδοι του συστήματος ακολουθούν τη διαδοχή του Πίνακα 2.8.



Σχήμα 2.19 Δυαδικός απαριθμητής ριπής 4-bit, με JK Flip-Flop σε λειτουργία T-FF

2.4.2 Σύγχρονοι απαριθμητές

Στους σύγχρονους απαριθμητές οι ωρολογιακοί παλμοί εφαρμόζονται στις εισόδους όλων των FF ταυτόχρονα. Η έξοδος κάθε FF καθορίζεται από τις τιμές των εισόδων J-K σε κάθε παλμό CLK.

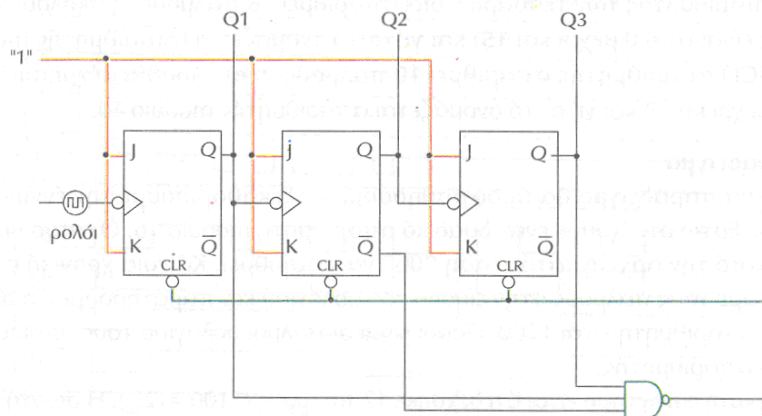
2.4.3 Αλλαγή του modulo ενός απαριθμητή

Οι απαριθμητές που παρουσιάστηκαν απαριθμούν 2^n παλμούς, όπου n ο αριθμός των εξόδων, και η ακολουθία μέτρησης είναι από 0 έως 2^n-1 . Ωστόσο, είναι δυνατό να αλλάξουμε τον μέγιστο αριθμό καταστάσεων που απαριθμεί ο μετρητής.

Το παρακάτω κύκλωμα δείχνει πως μπορούμε να αλλάξουμε τον μέγιστο αριθμό παλμών που απαριθμεί ένας απαριθμητής, πριν μηδενιστεί. Χωρίς την πύλη NAND, ο απαριθμητής μετρά από το 000 μέχρι το 111. Όταν όμως η πύλη NAND λάβει στην είσοδο 111, δηλαδή όταν οι έξοδοι Q των FF γίνουν 101 (προσέξτε πως συνδέονται οι έξοδοι στην NAND), τότε η έξοδος της NAND γίνεται μηδέν και μηδενίζει τον απαριθμητή επιδρώντας στις εισόδους CLEAR των FF.

Άρα, αυτός ο απαριθμητής μετρά μέχρι το 101 (δηλαδή το 5) μέχρι να μηδενιστεί ξανά. Λέγεται λοιπόν απαριθμητής modulo 5.

Με ανάλογο τρόπο μπορούμε να σχεδιάσουμε έναν απαριθμητή ώστε αυτός να απαριθμεί 12 καταστάσεις. Θα χρειαστούμε τέσσερα FF και μια NAND κατάλληλα συνδεδεμένη, ώστε να επιστρέφει τον απαριθμητή στο 0 όταν η έξοδος ισούται με 1100.

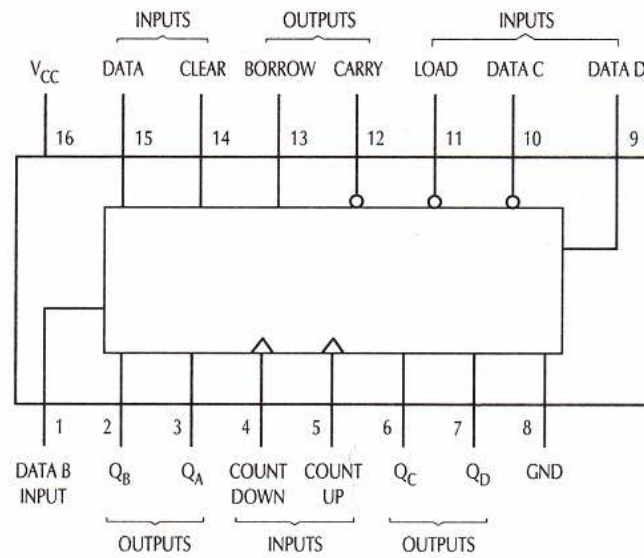


Σχήμα 2.20 Αλλαγή του modulo δυαδικού απαριθμητή (up-counter) από 8 σε 5

2.4.4 Ολοκληρωμένοι απαριθμητές

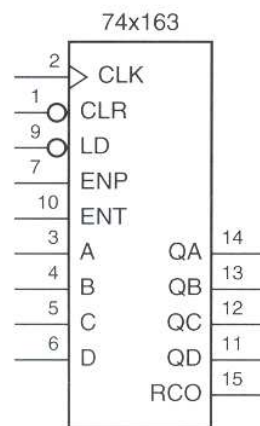
Τα κυκλώματα απαρίθμησης κατασκευάζονται με τη μορφή ολοκληρωμένων κυκλωμάτων μεσαίας κλίμακας ολοκλήρωσης. Το βασικό κύκλωμα ενός απαριθμητή περιλαμβάνει μια είσοδο ρολογιού και τα δεδομένα εξόδου. Άλλες εισόδους είναι η είσοδος επίτρεψης. Οι ασύγχρονες εισόδους preset και clear, καθώς και εισόδους για τη φόρτωση αρχικών δεδομένων.

Τυπικοί ολοκληρωμένοι απαριθμητές είναι τα κυκλώματα 74LS192 και 74LS193. Το πρώτο είναι δεκαδικός απαριθμητής 4-bit και μετρά από την κατάσταση 0 έως την κατάσταση 9. Το δεύτερο είναι απαριθμητής 4-bit mod16 και μετρά από την κατάσταση 0 μέχρι την κατάσταση 15. Και τα δύο μπορούν να απαριθμήσουν προς τα πάνω ή προς τα κάτω, λαμβάνοντας παλμούς από τον ακροδέκτη ρολογιού CP_U ή CP_D (Count Up ή Count Down). Το διάγραμμα ακροδεκτών του κυκλώματος φαίνεται στο Σχήμα 2.21. Εκτός από τις εισόδους ρολογιού, διακρίνονται οι έξοδοι απαρίθμησης Q και οι εισοδοί αρχικής φόρτωσης δεδομένων DATA. Επίσης, ο απαριθμητής διαθέτει ασύγχρονη είσοδο CLEAR.



Το O.K. 74193

Σχήμα 2.21 Ολοκληρωμένος δυαδικός απαριθμητής 74LS193.



Σχήμα 2.22 Ολοκληρωμένος δυαδικός απαριθμητής 74LS163.

Ένα αντίστοιχο κύκλωμα είναι το ολοκληρωμένο 74LS163 (Σχήμα 2.22). Πρόκειται για δυαδικό απαριθμητή 4-bit, που έχει εισόδους φόρτωσης αρχικών δεδομένων και δύο εισόδους ενεργοποίησης ENP και ENT. Για να απαριθμεί ο απαριθμητής πρέπει και οι δύο εισοδοί ενεργοποίησης να είναι σε λογικό 1.

Τα παραπάνω κυκλώματα μπορούν να χρησιμοποιηθούν σε συνδεσμολογία καταρράκτη, προκειμένου να υλοποιηθούν απαριθμητές με περισσότερα bits. Ο σπουδαστής μπορεί να μελετήσει μια τέτοια υλοποίηση ως άσκηση.

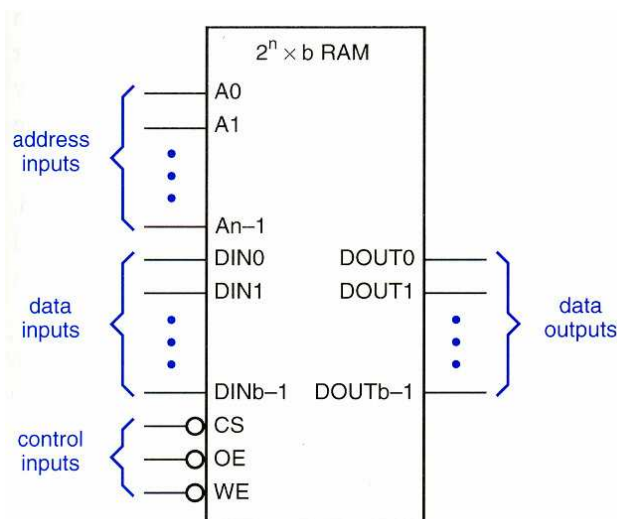
Κεφάλαιο 3. Μνήμες

3.1 Στατικές μνήμες RAM

3.1.1 Εισαγωγή

Οι μνήμες είναι διατάξεις αποθήκευσης ψηφιακών δεδομένων. Κάθε μνήμη χαρακτηρίζεται από τη χωρητικότητά της και την ιδιαίτερη τεχνολογία της. Οι πιο γνωστές μνήμες είναι οι μνήμες τυχαίας προσπέλασης (Random Access Memories) και οι μνήμες μόνον ανάγνωσης (Read Only Memories). Οι πρώτες προσπελάζονται τόσο για εγγραφή όσο και για ανάγνωση, ενώ οι δεύτερες αφού εγγραφούν, στη συνέχεια προσπελάζονται για ανάγνωση. Οι τεχνολογικές εξελίξεις έχουν εμπλουτίσει τις χρήσεις των μνημών, ωστόσο οι τεχνολογικές διαφορές ανάμεσα στις μνήμες RAM και ROM είναι διακριτές.

Το διάγραμμα βαθμίδας μιας μνήμης τεχνολογίας στατικής RAM δίνεται στο παρακάτω Σχήμα 3.1.



Σχήμα 3.1 Διάγραμμα βαθμίδας στατικής RAM

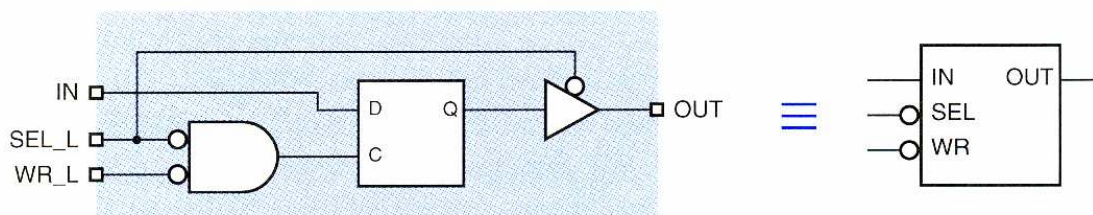
Κάθε μνήμη χαρακτηρίζεται από το εύρος σε bits της κάθε θέσης και τον αριθμό των διαθέσιμων θέσεων μνήμης. Στο διάγραμμα του Σχήματος 3.1, η μνήμη έχει 2^n θέσεις μνήμης που η κάθε μια έχει εύρος b bits. Η συνολική χωρητικότητα είναι $2^n \times b$ bits.

Μια μνήμη RAM διαθέτει δίαυλο εισόδου των δεδομένων, δίαυλο εξόδου των δεδομένων, δίαυλο διευθύνσεων μέσω του οποίου προσπελάζονται οι θέσεις της μνήμης και εισόδους σημάτων ελέγχου, για την ενεργοποίηση, εγγραφή και ανάγνωση της μνήμης. Ο δίαυλος εισόδου και εξόδου σε πολλές περιπτώσεις είναι κοινός και έχει εύρος b bits. Ο δίαυλος διευθύνσεων έχει εύρος n bits.

3.1.2 Το κελί της στατικής RAM.

Μια στατική μνήμη RAM αποθηκεύει κάθε δυαδικό ψηφίο σε ένα κελί, που είναι φτιαγμένο με τη λογική του μανδάλου (latch). Όπως φαίνεται στο Σχήμα 3.2, κάθε κελί μπορεί να εγγράφει ένα ψηφίο, όταν το κελί είναι ενεργοποιημένο (SEL_L είναι 0) και το σήμα WR_L είναι ενεργό. Το ψηφίο αποθηκεύεται στην έξοδο του κελιού, μέχρι να ανανεωθεί, με νέα εγγραφή.

Το μάνδαλο τύπου D, που χρησιμοποιεί η διάταξη φαίνεται στο Σχήμα



Σχήμα 3.2 Κελί στατικής RAM

3.1.3 Διάταξη μνήμης SRAM

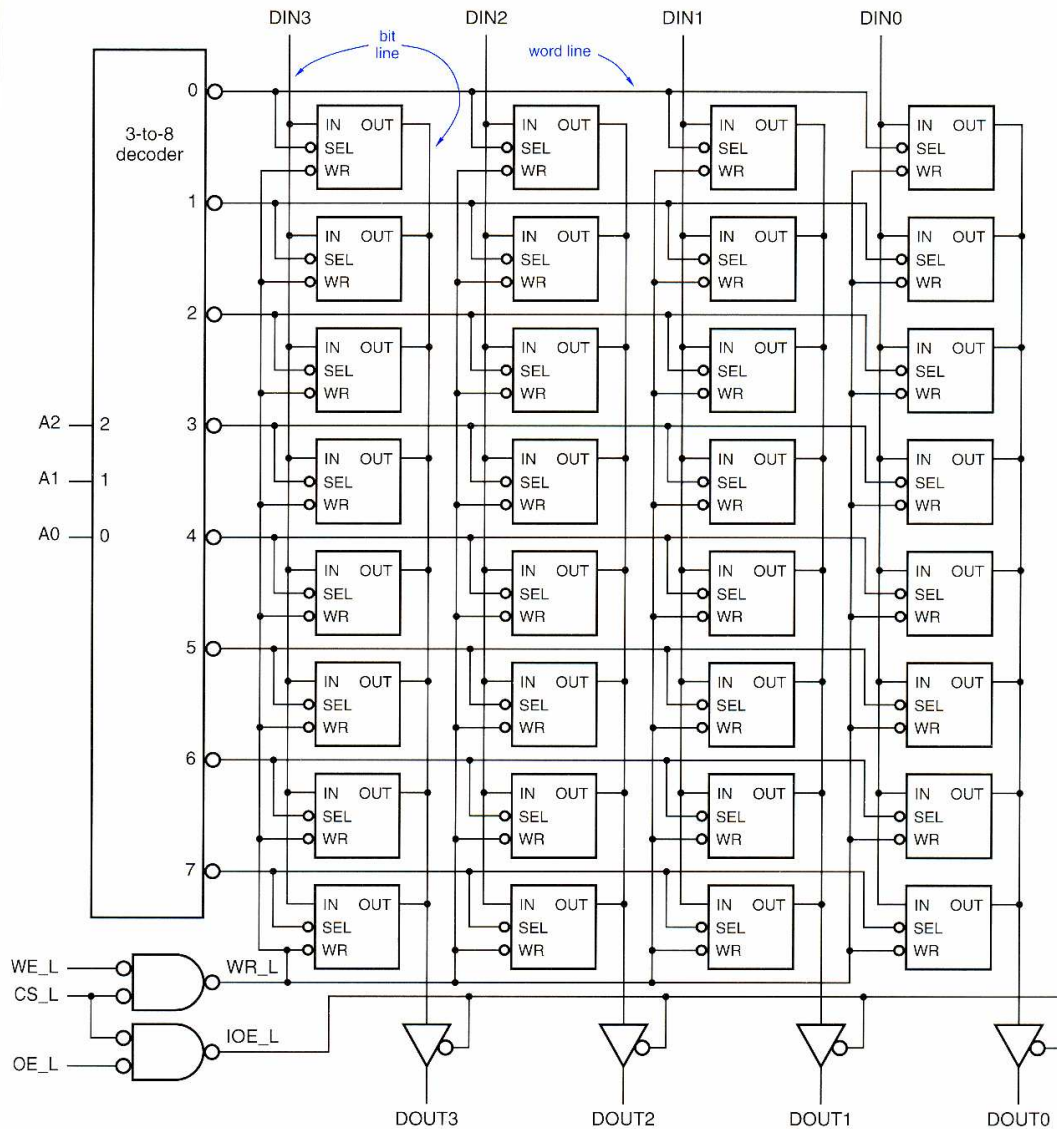
Μια πλήρης διάταξης στατικής μνήμης RAM φαίνεται στο Σχήμα 3.3. Πρόκειται για μια μικρή μνήμη SRAM 8x4, δηλαδή οκτώ θέσεων, με 4 bits ανά θέση μνήμης.

Βασικό στοιχείο της μνήμης είναι ο αποκωδικοποιητής της μνήμης. Στην περίπτωση του Σχήματος 3.3 πρόκειται για έναν μικρό αποκωδικοποιητή 3:8, αφού πρέπει να προσπελάζει μόνον οκτώ θέσεις μνήμης. Προφανώς, μεγαλύτερες μνήμες υποστηρίζονται από αντίστοιχους αποκωδικοποιητές. Έτσι, μια μνήμη 64K χρειάζεται έναν αποκωδικοποιητή 16:65536.

Όλα τα κελιά που αποτελούν μια θέση μνήμης ενεργοποιούνται ταυτόχρονα από την ίδια έξοδο του αποκωδικοποιητή, μέσω της γραμμής λέξης (word line). Κάθε bit του διαδρόμου εισόδου DIN παρέχει τις τιμές ταυτόχρονα σε όλα τα αντίστοιχα κελιά, μέσω της γραμμής δυαδικού ψηφίου (bit line). Για να εγγραφεί μια θέση μνήμης πρέπει α. Η μνήμη να είναι ενεργή, μέσω του σήματος CS_L, η συγκεκριμένη θέση να έχει επιλεγεί με τη βοήθεια του αποκωδικοποιητή και το σήμα WR_L να είναι ενεργό. Το σήμα CS ονομάζεται και σήμα επίτρεψης της μνήμης. Ανάλογα με τον κατασκευαστή, μπορεί να είναι ενεργό με λογικό 0 ή με λογικό 1.

Για να διαβαστεί μια θέση μνήμης πρέπει η μνήμη να είναι ενεργή, η θέση να έχει επιλεγεί μέσω του αποκωδικοποιητή και το σήμα OE_L να είναι ενεργό. Στην περίπτωση αυτή, τα ενεργά κελιά εξάγουν τα δεδομένα τους στον διάδρομο εξόδου DOUT.

Η μνήμη μπορεί προφανώς να επεκταθεί, με περισσότερα κελιά ανά γραμμή και με περισσότερες θέσεις μνήμης.

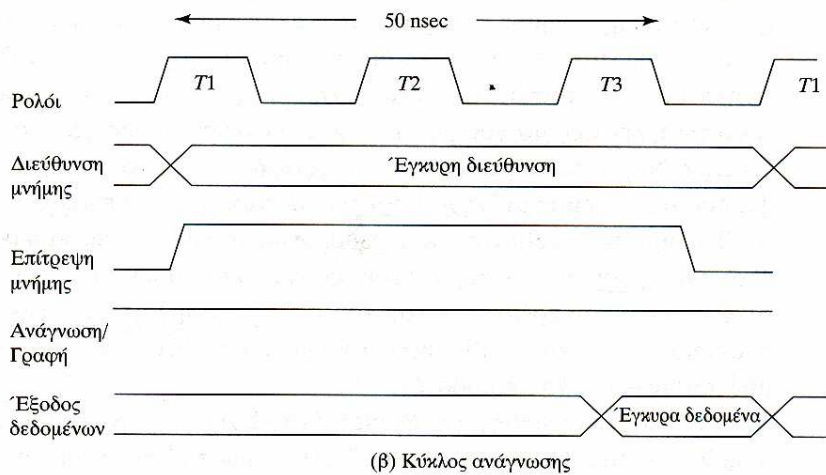
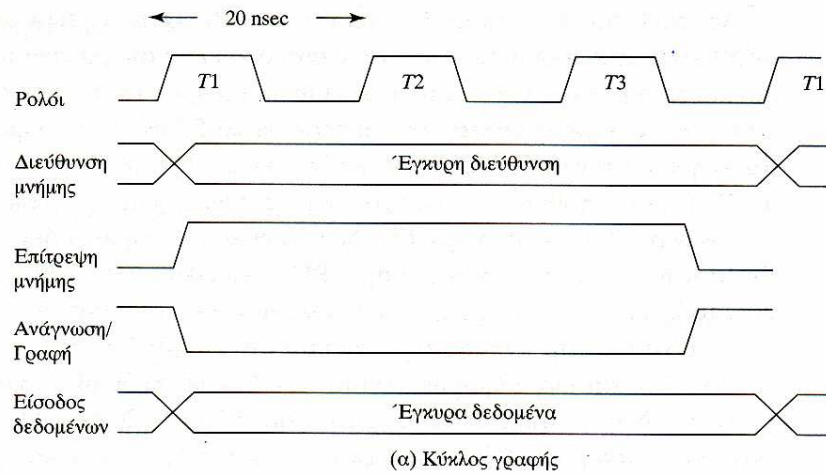


Σχήμα 3.3 Διάταξη μνήμης SRAM με χωρητικότητα 8x4.

3.1.4 Σήματα χρονισμού της μνήμης

Κάθε μνήμη, ανάλογα με την τεχνολογία και τον τρόπο κατασκευής, χαρακτηρίζεται από έναν κύκλο εγγραφής και έναν κύκλο ανάγνωσης. Οι κατασκευαστές παρέχουν αναλυτικά διαγράμματα, που περιγράφουν τη διάρκεια των βασικών σημάτων κατά τον κύκλο εγγραφής και ανάγνωσης στους ακροδέκτες της μνήμης. Επειδή οι μνήμες είναι κατασκευασμένες για να συνεργάζονται με κυκλώματα επεξεργαστών, η διάρκεια των βασικών σημάτων μετριέται σε κύκλους του ρολογιού του επεξεργαστή.

Στο Σχήμα 3.4 φαίνονται τα διαγράμματα χρονισμού μια απλής μνήμης SRAM. Όπως φαίνεται, στην περίπτωση αυτή, τα σήματα στον δίαυλο διευθύνσεων πρέπει να είναι ενεργά για 3 κύκλους ρολογιού. Το ίδιο συμβαίνει με τα σήματα δεδομένων στον δίαυλο της εισόδου. Η εγγραφή ολοκληρώνεται πρακτικά μέσα σε 2,5 κύκλους του ρολογιού, κατά τους οποίους η επιστροφή της μνήμης CS και το σήμα WR πρέπει να είναι ενεργά. Σε λιγότερο χρόνο από αυτόν, ο κατασκευαστής δεν εγγυάται τη σωστή εγγραφή της θέσης μνήμης.



Σχήμα 3.4 Διάγραμμα χρονισμού μνήμης SRAM

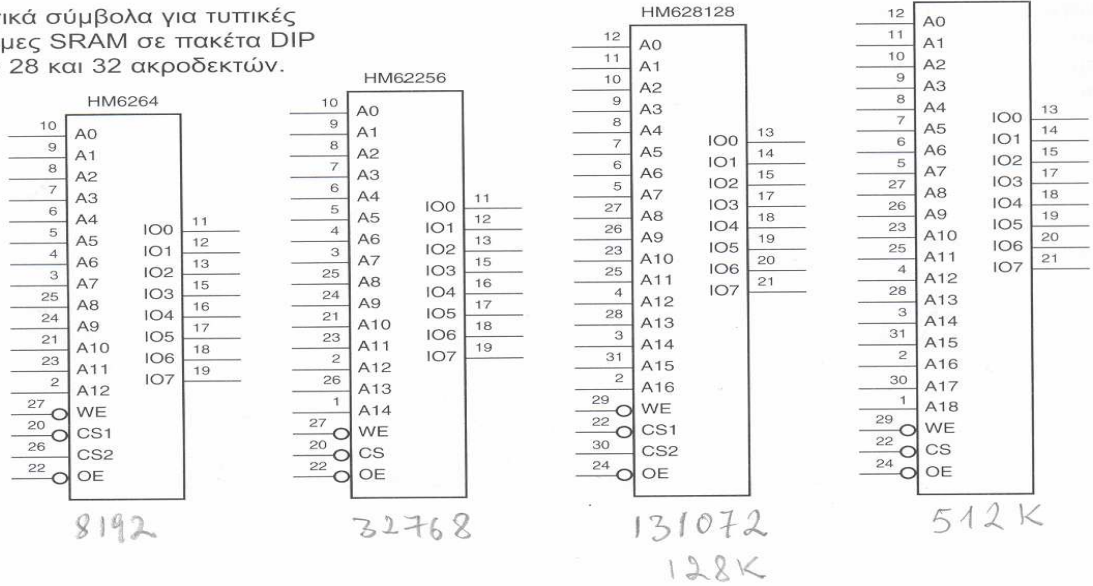
Αντίστοιχα, κατά την ανάγνωση της μνήμης, στο διάδρομο εξόδου εμφανίζονται έγκυρα δεδομένα μόνον μετά από 2,5 κύκλους ρολογιού, κατά τους οποίους η επίτρεψη της μνήμης και στο σήμα ανάγνωσης πρέπει να είναι ενεργά.

Μια μνήμη μπορεί να χαρακτηρίζεται από διαφορετικούς χρόνους για την ανάγνωση και την εγγραφή.

3.1.5 Τυπικά ολοκληρωμένα κυκλώματα SRAM

Στο Σχήμα 3.5 φαίνεται μια σειρά από ολοκληρωμένες τυπικές μνήμες, με διάφορες χωρητικότητες. Στα κυκλώματα αυτά, ο διάδρομος δεδομένων εισόδου και εξόδου είναι κοινός. Ο φοιτητής μπορεί να μελετήσει τη σχέση ανάμεσα στο διάδρομο διευθύνσεων και στη χωρητικότητα της μνήμης.

Λογικά σύμβολα για τυπικές μνήμες SRAM σε πακέτα DIP των 28 και 32 ακροδεκτών.

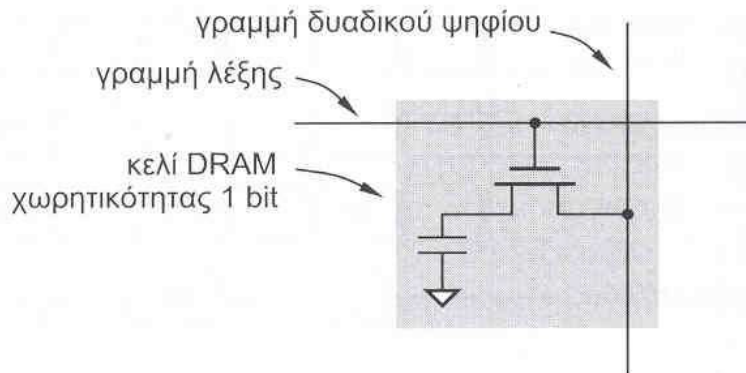


Σχήμα 3.5 Τυπικά ολοκληρωμένα κυκλώματα μνημών SRAM, 8K, 32K, 128K και 512K.

3.2 Δυναμικές RAM (DRAM)

3.2.1 Εγγραφή και ανάγνωση DRAM

Πρόκειται για μνήμες μεγαλύτερης πυκνότητας από τις στατικές RAM, όπου το κελί αποθήκευσης είναι ένας πυκνωτής, του οποίου η κατάσταση φόρτισης ελέγχεται από ένα MOS τρανζίστορ. Στο Σχήμα 3.6 φαίνεται το τυπικό κελί μιας μνήμης DRAM.



Σχήμα 3.6 Κελί αποθήκευσης Δυναμικής RAM

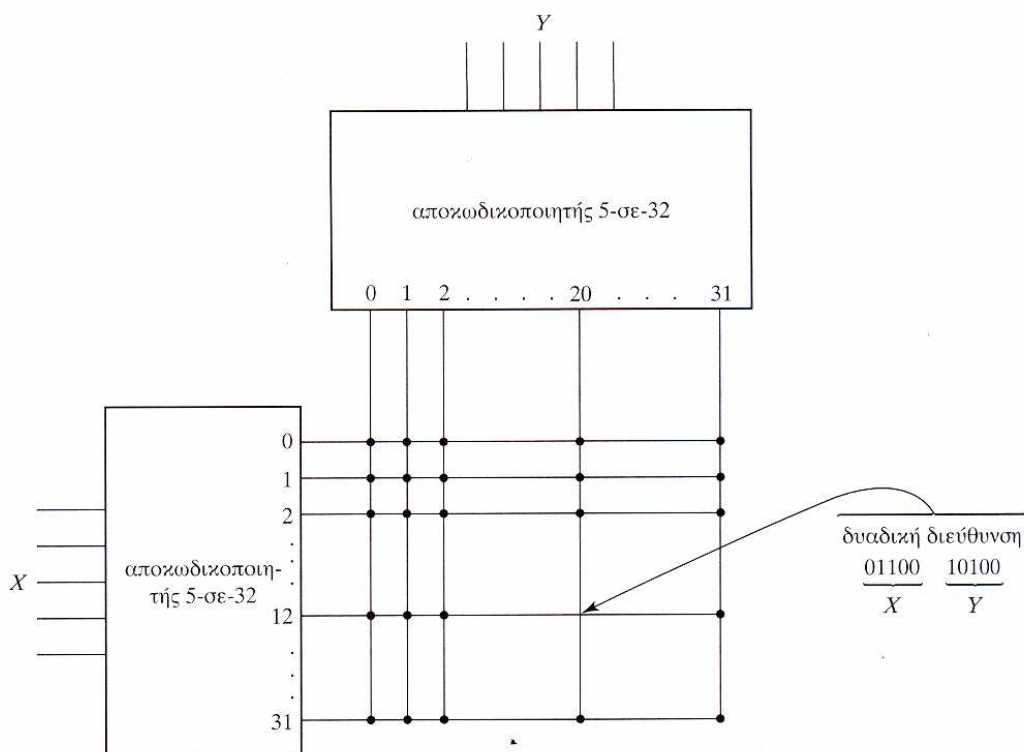
Όπως φαίνεται στο Σχήμα 3.6, κάθε κελί μνήμης συνδέεται με τη γραμμή λέξης, που ενεργοποιεί το τρανζίστορ MOS και η οποία ελέγχεται από τον αποκωδικοποιητή της μνήμης, που επιλέγει τη γραμμή. Όλα τα κελιά της ίδιας λέξης συνδέονται με την ίδια γραμμή. Η φόρτιση του πυκνωτή ελέγχεται από τη γραμμή δυαδικού ψηφίου, που συνδέεται με την αντίστοιχη γραμμή εισόδου, όπως και στις στατικές μνήμες.

Για την εγγραφή του κελιού ακολουθείται η εξής διαδικασία: Θέτουμε τη γραμμή λέξης σε κατάσταση HIGH, επιλέγοντάς την μέσω του αποκωδικοποιητή της μνήμης. Κατόπιν οδηγούμε τη γραμμή δυαδικού ψηφίου σε κατάσταση HIGH ή LOW για να εγγράψουμε 1 ή 0 στον πυκνωτή.

Για την ανάγνωση του κελιού ακολουθείται η εξής διαδικασία: Προφορτίζουμε με κατάλληλο κύκλωμα τη γραμμή δυαδικού ψηφίου σε ενδιάμεση κατάσταση τάσης. Στη συνέχεια θέτουμε τη γραμμή λέξης σε HIGH. Ένα κύκλωμα που ονομάζεται ενισχυτής ανίχνευσης έρχεται σε λογικό 0 ή 1, ανάλογα με την κατάσταση φόρτισης του πυκνωτή.

Επειδή ο πυκνωτής, όπως είναι φυσικό, χάνει το φορτίο του σχετικά γρήγορα, είναι απαραίτητο να υπάρχει μέριμνα για την περιοδική ανανέωση (refresh) της μνήμης. Τη διαδικασία αυτή αναλαμβάνουν ειδικά κυκλώματα, που περιοδικά διάβάζουν την κατάσταση κάθε κελιού και ανανεώνουν την εγγραφή του, πριν το φορτίο του πυκνωτή πέσει κάτω από το όριο σφάλματος. Όπως είναι φυσικό, η διαδικασία αυτή χρειάζεται κάποιο μέρος του συνολικού χρόνου εγγραφής και ανάγνωσης της μνήμης, άρα μπορεί να μειώσει την ταχύτητα με την οποία μπορεί να εγγραφεί ή να αναγνωστεί η μνήμη. Στις σύγχρονες δυναμικές RAM η ανανέωση γίνεται με εξελιγμένα κυκλώματα που διαχειρίζονται με βέλτιστο τρόπο τη μνήμη.

Οι δυναμικές RAM έχουν μικρότερο κόστος ανά μονάδα χωρητικότητας από τις στατικές RAM, επιτρέπουν μεγαλύτερες πυκνότητες αποθήκευσης, αλλά είναι γενικά πιο αργές από τις στατικές RAM.



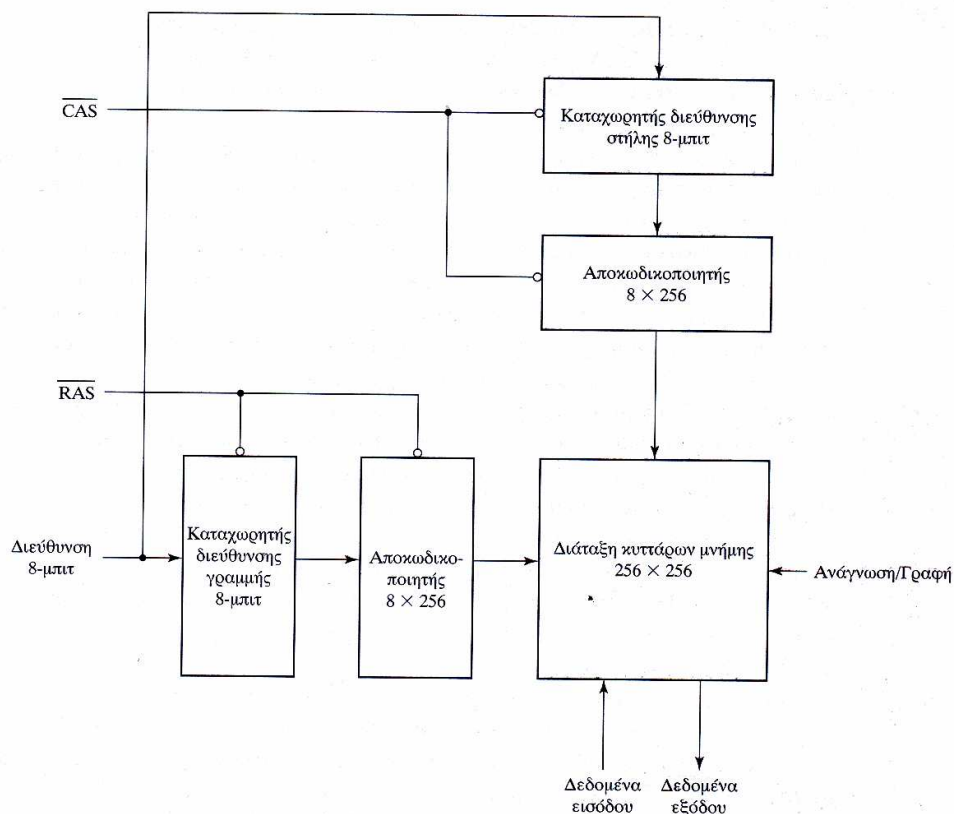
Σχήμα 3.7 Διδιάστατη αποκωδικοποίηση μνήμης με 1024 διευθύνσεις

3.2.2 Διδιάστατη αποκωδικοποίηση διεθύνσεων μνήμης

Σε μεγάλα κυκλώματα μνήμης, χρειάζεται κατάλληλη σχεδίαση του αποκωδικοποιητή διεθύνσεων, προκειμένου να μειθούν οι απαραίτητοι πόροι υλικού. Ένας απλός αποκωδικοποιητής $k:2k$ απαιτεί $2k$ πύλες AND k εισόδων. Μια τεχνική που χρησιμοποιείται για τη μείωση των πυλών είναι η διδιάστατη αποκωδικοποίηση. Διατάσσοντας τα κύτταρα μνήμης σε μια τετραγωνική δομή δύο διαστάσεων, μπορούμε να χρησιμοποιήσουμε δύο αποκωδικοποιητές, με $k/2$ εισόδους και $2k/2$ εξόδους ώστε να προσπελάσουμε ισάριθμες διεθύνσεις. Ο συνολικός αριθμός των απαραίτητων πυλών τώρα είναι $2 \times 2k/2$. Στο παράδειγμα του Σχήματος 3.7 προσπελάζουμε $32 \times 32 = 1024$ διεθύνσεις με 64 πύλες AND. Χωρίς αυτή την τεχνική θα χρειαζόμασταν 1024 πύλες AND δέκα εισόδων.

3.2.3 Πολυπλεξία διεθύνσεων μνήμης

Εκτός από τη διδιάστατη αποκωδικοποίηση, οι δυναμικές RAM χρησιμοποιούν και την τεχνική της πολυπλεγμένης διεύθυνσης, ώστε να μειώσουν τον αριθμό των ακροδεκτών που απαιτούνται για την επιλογή διεύθυνσης στο εσωτερικό του OK DRAM. Στο Σχήμα 3.8 χρησιμοποιείται μνήμη $256 \times 256 = 64K$, και δύο παράλληλοι αποκωδικοποιητές $8:256$. Μια διεύθυνση 8-bit εφαρμόζεται διαδοχικά σε δύο φάσεις, για την επιλογή γραμμής και στήλης.



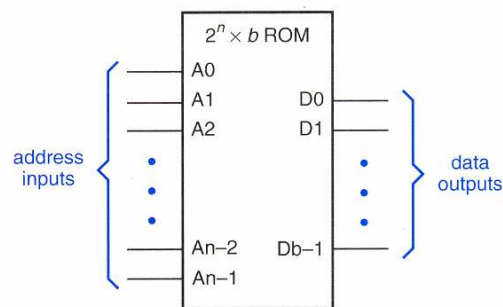
Σχήμα 3.8 Πολυπλεξία διεθύνσεων μνήμης

Τα σήματα CAS και RAS που φαίνονται στο σχήμα 3.8, είναι στροβοσκοπικά σήματα που αποθηκεύουν διαδοχικά τα δύο τμήματα 8-bit μιας διεύθυνσης που αποτελείται συνολικά από 16 bits, σε δύο καταχωρητές, τον καταχωρητή διεύθυνσης γραμμής και τον καταχωρητή διεύθυνσης στήλης. Έτσι, μπορεί να αποκωδικοποιηθεί μια διεύθυνση σε έναν διδιάστατο πίνακα διευθύνσεων με συνολική χωρητικότητα 64K.

3.3 Μνήμες ROM

3.3.1 Εισαγωγή

Μια μνήμη ROM είναι ένα συνδυαστικό κύκλωμα με n εισόδους και b εξόδους. Μπορεί να αποθηκεύσει $2^n \times b$ bits πληροφορίας. Το γενικό διάγραμμα βαθμίδας μιας μνήμης ROM φαίνεται στο Σχήμα 3.9. Μπορεί να θεωρηθεί σαν ένας αποκωδικοποιητής που για κάθε συνδυασμό εισόδων εξάγει ένα προκαθορισμένο συνδυασμό εξόδων. Για παράδειγμα, η ROM του Σχήματος 3.10 αποθηκεύει $2^3 \times 4$ bits.



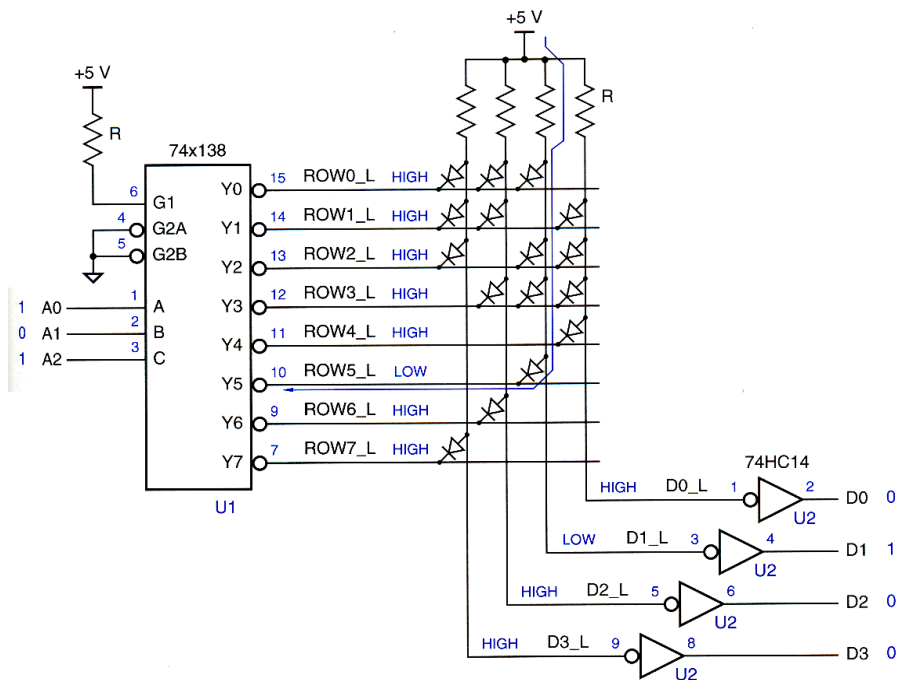
Σχήμα 3.9 Διάγραμμα βαθμίδας μνήμης ROM.

Πίνακας 3.1. Παράδειγμα πίνακα δεδομένων που αποθηκεύεται σε μια ROM $2^3 \times 4$

Inputs			Outputs			
A2	A1	A0	D3	D2	D1	D0
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

3.3.2 Τεχνολογίες μνημών ROM

Μια πρώτη μορφή μνήμης ROM δημιουργήθηκε με τη βοήθεια διόδων, συνδεδεμένων ανάμεσα στη γραμμή λέξης και στη γραμμή δυαδικού ψηφίου, όπως φαίνεται στο Σχήμα 3.10. Η μόνιμη αποθήκευση μιας λογικής κατάστασης δημιουργείται με τη σύνδεση των διόδων ή τη έλλειψη των διόδων. Η ορθά πολωμένη δίοδος οδηγεί τη γραμμή δυαδικού ψηφίου στο δυναμικό της γραμμής λέξης, όταν αυτή επιλέγεται μέσω του αποκωδικοποιητή. Αντίθετα, η έλλειψη της δίοδου, οδηγεί τη γραμμή δυαδικού ψηφίου τη λογική κατάσταση της τροφοδοσίας, μέσω της αντίστασης ανύψωσης (pull-up).

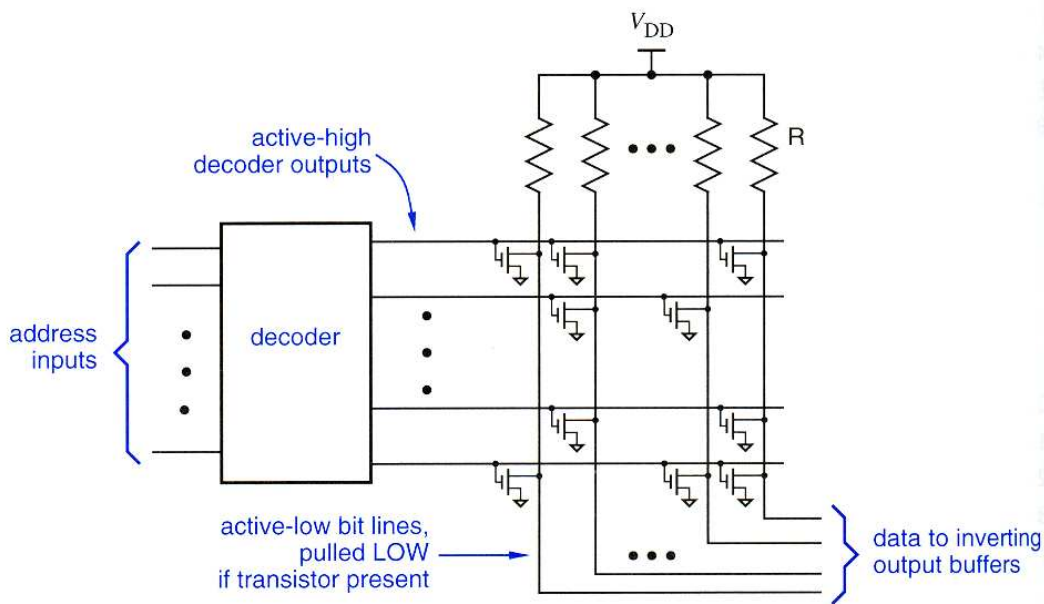


Σχήμα 3.10 Μνήμη ROM με διόδους

Αντίστοιχα, είναι δυνατό να αποθηκευτούν οι δυαδικές καταστάσεις με τη βοήθεια MOSFET τρανζίστορ, όπως φαίνεται στο Σχήμα 3.11. Όταν το MOSFET οδηγείται σε κατάσταση ON, μέσω της γραμμής δυαδικής λέξης, τότε η γραμμή δυαδικού ψηφίου οδηγείται στη γη. Εκεί που δεν υπάρχει τρανζίστορ MOSFET, η γραμμή δυαδικού ψηφίου οδηγείται στο δυναμικό τροφοδοσίας, μέσω των αντιστάσεων ανύψωσης.

Στις σύγχρονες μνήμες ROM, γίνεται χρήση τρανζίστορ MOSFET μετέωρης πύλης (floating gate), στα οποία, εκτός από την κανονική πύλη, υπάρχει και μια δεύτερη πύλη που χωρίζεται από την πρώτη με ένα ισχυρά μονωτικό στρώμα. Ανάμεσα στις δύο πύλες είναι δυνατό να συρατηθεί φορτίο, το οποίο στη συνέχεια, μπορεί να απαχθεί με την έκθεση σε υπεριώδες φως ή σε άλλες περιπτώσεις με την εφαρμογή ηλεκτρικού παλμού. Έτσι, η μνήμη ROM μπορεί να διαγραφεί και να επανεγγραφεί

Οι βασικοί τύποι των μνημών ROM περιγράφονται στην επόμενη παράγραφο.



Σχήμα 3.11 Μνήμη ROM με τρανζίστορ MOSFET

3.3.3 Τύποι μνημών ROM

Οι βασικοί τύποι των μνημών ROM είναι οι εξής:

A. Mask Programmable ROMs ή Mask ROMs

Είναι προεγγεγραμμένη από την κατασκευή της και το περιεχόμενό της δεν αλλάζει.

B. PROM – Programmable ROMs

Περιλαμβάνει συνδέσεις (fuses) ανάμεσα στη γραμμή δυαδικής λέξης και δυαδικού ψηφίου, που μπορούν να καταστραφούν με την εφαρμογή κατάλληλης τάσης.

Γ. EPROM – Erasable programmable ROM (τεχνολογία MOS με floating gate και μονωτικό υλικό. Μπορούν να διαγραφούν με υπεριώδες φως).

Δ. OTP ROMs. (One time Programmable ROMs. EPROMs χωρίς παράθυρο διαγραφής).

E. EEPROMs (Electrically Erasable Programmable ROMs. Όπως οι EPROM αλλά με λεπτότερο μονωτικό στρώμα γύρω από τις επιπλέουσες πύλες).

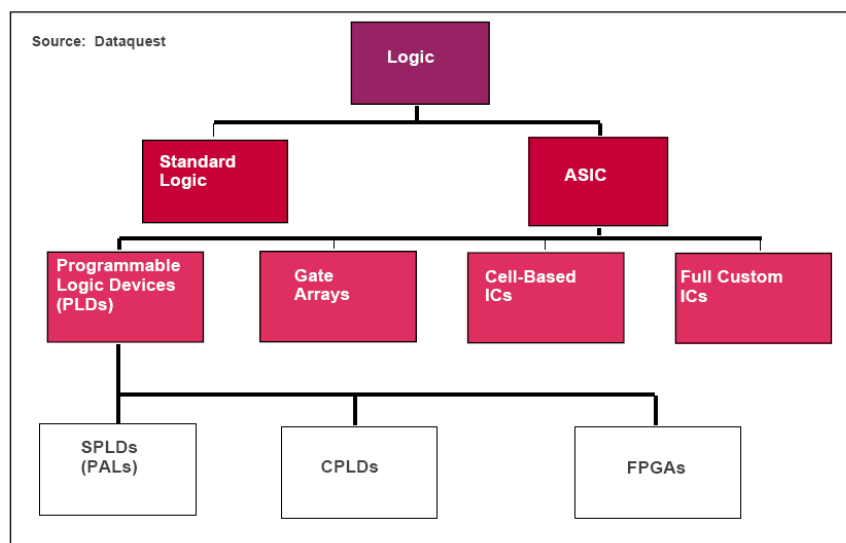
Κεφάλαιο 4. Διατάξεις προγραμματιζόμενης λογικής

4.1 Διατάξεις πυλών προγραμματιζόμενων στο πεδίο (FPGAs)

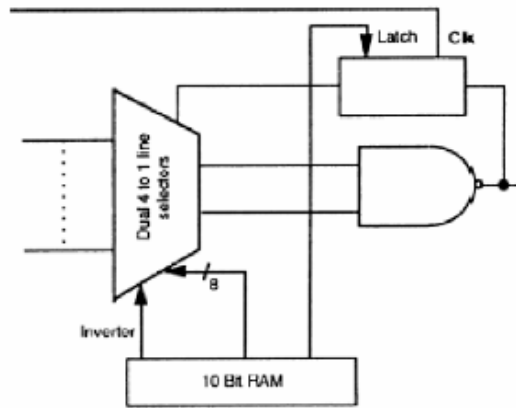
4.1.1 Ταξινόμηση των διατάξεων FPGA

Σύμφωνα με την ταξινόμηση των ολοκληρωμένων κυκλωμάτων πολύ υψηλής κλίμακας ολοκλήρωσης (VLSI), που φαίνεται στο σχήμα 4.1, οι “διατάξεις πυλών που προγραμματίζονται στο πεδίο” (FPGAs) ανήκουν σε μια κατηγορία διατάξεων που αναφέρονται ως διατάξεις προγραμματιζόμενης λογικής (PLDs ή FPL-Field Programmable Logic). Οι διατάξεις αυτές αποτελούνται από επαναλαμβανόμενα μικρά λογικά στοιχεία διαταγμένα σε όλη την έκταση του ολοκληρωμένου κυκλώματος, που η λειτουργία τους και οι μεταξύ τους διασυνδέσεις προγραμματίζονται από τον χρήστη. Μπορούν να θεωρηθούν ως ολοκληρωμένα κυκλώματα ειδικού σκοπού (ASICs), σημειώνεται όμως ότι τα κλασικά ASICs απαιτούν περαιτέρω βελτιστοποίηση της σχεδίασης και επιπλέον ημιαγωγική κατεργασία για την κατασκευή μόνιμων διασυνδέσεων ανάμεσα στις πύλες.

Από την άποψη του μεγέθους του διαμερισμού (granularity) οι FPGAs θεωρούνται διατάξεις ενδιάμεσου διαμερισμού, ανάμεσα στους «διατάξεις πυλών» (gate arrays ή sea of gates) και στις σύνθετες προγραμματιζόμενες λογικές διατάξεις (CPLDs). Οι «διατάξεις πυλών» αποτελούνται από στοιχεία με την ελάχιστη ψηφιακή λογική, δηλαδή μια απλή πύλη NAND κι ένα μανδαλωτή (latch) (σχήμα 4.2), ενώ οι διασυνδέσεις ανάμεσα στις πύλες δημιουργούνται με ένα επιπλέον μεταλλικό στρώμα κατεργασίας, που παρέχει ο χρήστης με τη μορφή «ενσύρματης λίστας» (wire-list) για την τελική υλοποίηση του ολοκληρωμένου κυκλώματος. Οι διατάξεις πυλών δεν θεωρούνται γενικά κατάλληλοι για υλοποίηση προγραμματιζόμενων διασυνδέσεων, καθώς οι απαιτήσεις σε πόρους διασυνδέσεων είναι πολύ μεγάλες. Για τον λόγο αυτό, οι διατάξεις πυλών δεν ανήκουν στις διατάξεις προγραμματιζόμενης λογικής.

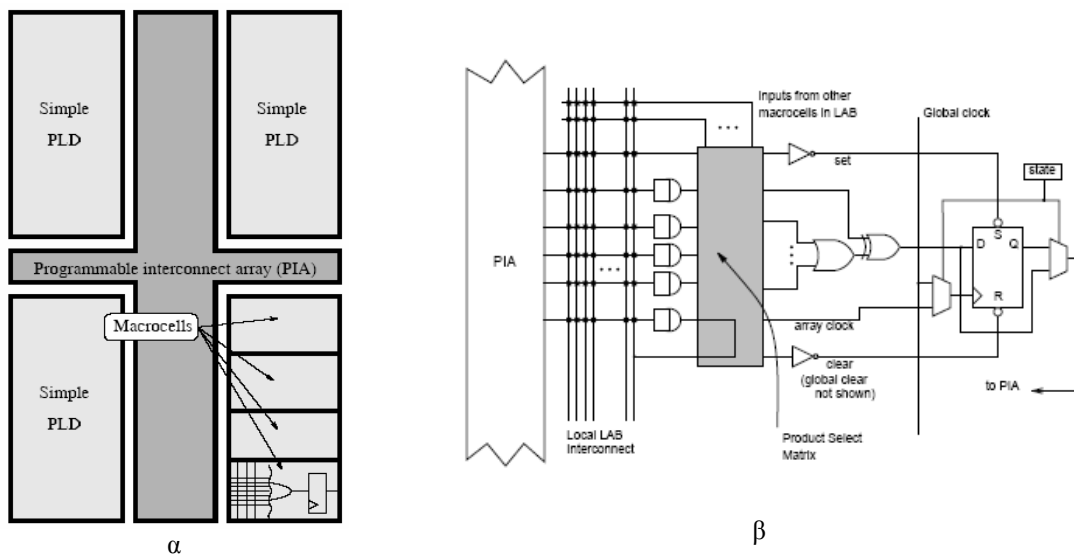


Σχήμα 4.1 Ταξινόμηση των ολοκληρωμένων κυκλωμάτων VLSI.

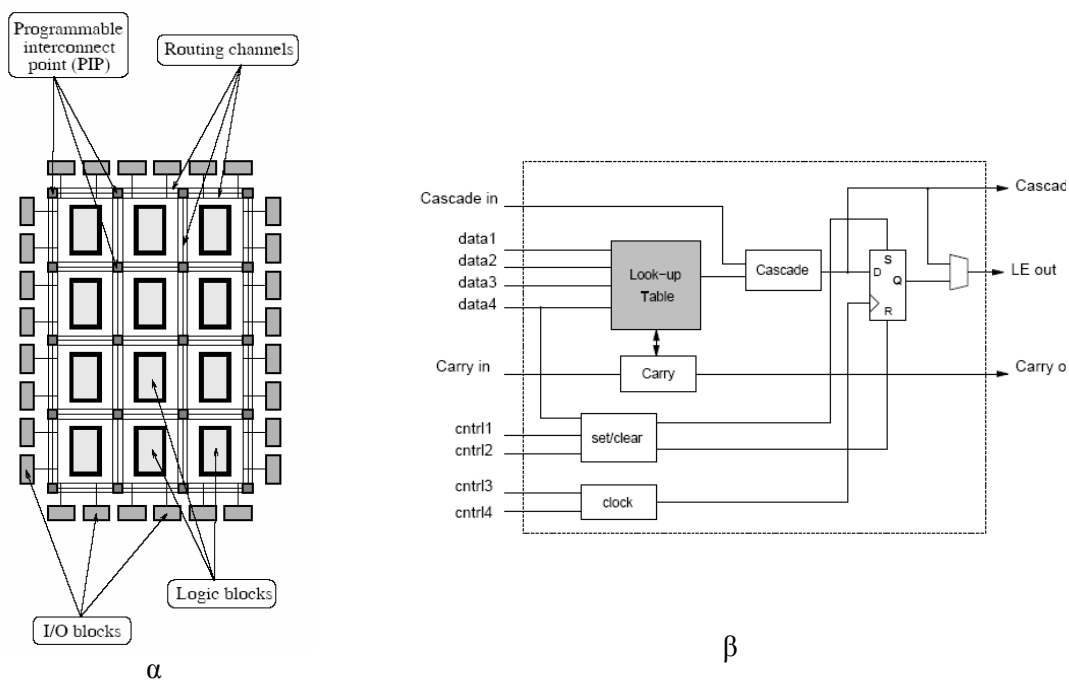


Σχήμα 4.2 Αρχιτεκτονική λογικών στοιχείων «θάλασσας πυλών» (sea of gates) NAND [66].

Τα CPLDs, από την άλλη μεριά, είναι προγραμματιζόμενα κυκλώματα των οποίων το βασικό κελί αποτελείται από μια προγραμματιζόμενη λογική διάταξη AND/OR και ένα flip-flop. Τα κελιά αυτά, που ονομάζονται μακροκυψελίδες, είναι οργανωμένα σε βαθμίδες απλών προγραμματιζόμενων διατάξεων (SPLDs), που αναφέρονται επίσης και ως «βαθμίδες λογικών διατάξεων» (Logic Array Blocks ή LABs). Ανάμεσα σ' αυτές τις βαθμίδες υπάρχουν διάδρομοι διασυνδέσεων, που καλούνται «προγραμματιζόμενοι πίνακες διασυνδέσεων» (programmable interconnect arrays-PIAs), που εισάγουν μικρές μόνον καθυστερήσεις. Η αρχιτεκτονική μιας διάταξης CPLD φαίνεται στο σχήμα 4.3 α. Στο σχήμα 4.3 β φαίνεται η



Σχήμα 4.3 (α) Γενική αρχιτεκτονική CPLD και (β) δομή μακροκυψελίδας του CPLD Max 7000 (Altera)



Σχήμα 4.4 (α) Γενική δομή διάταξης FPGA και (β) λογική βαθμίδα (Logic Block) [68].

δομή της μακροκυψελίδας της διάταξης Max 7000 της Altera, όπου διακρίνεται η λογική δι AND/OR, που χρησιμεύει ως γεννήτρια συνδυαστικής λογικής. Επίσης, διακρίνεται το D Flip-Flop, που χρησιμεύει ως καταχωρητής της εξόδου ή ως βάση για κυκλώματα ακολουθιακής λογικής.

Ο ενδιαμέσος διαμερισμός των διατάξεων FPGA φαίνεται στο σχήμα 4.4α. Οι στοιχειώδεις λογικές βαθμίδες αποτελούνται συνήθως από μικρούς πίνακες αναφοράς (look-up tables) και flip-flops για καταχώρηση της εξόδου, όπως φαίνεται στο σχήμα 4.4β. Οι πίνακες αναφοράς λειτουργούν ως γεννήτριες συναρτήσεων, όπως οι πίνακες AND/OR στις διατάξεις CPLD. Στο σχήμα 4.4β παρουσιάζεται η βασική λογική βαθμίδα στην οποία στηρίζονται οι διατάξεις FPGA.

Σε ελάχιστες περιπτώσεις, όπως στις διατάξεις της Actel, τα στοιχεία λογικής υλοποιούνται με πολυπλέκτες σε ρόλο γεννήτριας λογικών συναρτήσεων. Ο διάδρομος διασυνδέσεων επιτρέπει σύντομες ή και μακρινές διασυνδέσεις ανάμεσα στα λογικά στοιχεία.

4.1.2 Τεχνολογίες υλοποίησης

Οι πίνακες αναφοράς και οι προγραμματιζόμενες διασυνδέσεις στις διάφορες διατάξεις που διαμορφώνονται στο πεδίο, υλοποιούνται με τις διαθέσιμες τεχνολογίες μνήμης, δηλαδή, SRAM, EPROM, EEPROM και antifuse. Η συγκεκριμένη τεχνολογία καθορίζει αν και με ποιό τρόπο το ολοκληρωμένο κύκλωμα είναι επαναδιαμορφώσιμο (reconfigurable). Σε διατάξεις CPLD και FPGA που προγραμματίζονται μία φορά (one-time programmable ή OTP) χρησιμοποιείται η τεχνολογία anti-fuse. Η τεχνολογία EPROM στηρίζεται σε UV διαγραφόμενα CMOS, που δεν επιτρέπουν επαναπρογραμματισμό εντός του κυκλώματος (in-circuit), ενώ η τεχνολογία EEPROM των ηλεκτρικά διαγραφόμενων CMOS μετέωρης πύλης

επιτρέπει την επαναδιαμόρφωση των κυκλωμάτων εντός του κυκλώματος. Η πλειοψηφία των σημερινών διατάξεων FPGA στηρίζεται σε τεχνολογία πτητικών κυτάρων μνήμης SRAM, τόσο για την υλοποίηση των διασυνδέσεων όσο και για τον προγραμματισμό των λογικών συναρτήσεων στους πίνακες αναφοράς των λογικών στοιχείων. Οι διατάξεις αυτές μπορούν να επανα-διαμορφώνονται εντός του κυκλώματος με ένα αρχείο διαμόρφωσης (single-bit configuration stream). Όμως, κατά την επανεκκίνηση, η μνήμη SRAM πρέπει να λάβει την αρχική της τιμή μέσω κυκλώματος μνήμης PROM ή EEPROM (boot device), που συνδέεται με τη διάταξη FPGA.

4.1.3 Εφαρμογές των FPGAs

Οι διατάξεις FPGAs παρουσιάζουν μεγάλη διάδοση τα τελευταία χρόνια, καθώς μπορούν να εφαρμοστούν σε μεγάλο εύρος εφαρμογών. Οι εφαρμογές αυτές περιλαμβάνουν ελεγκτές διατάξεων (device controllers), εφαρμογές στις επικοινωνίες, όπως κωδικοποίηση, φίλτρα, διαμόρφωση-αποδιαμόρφωση και ψηφιακή επεξεργασία σημάτων. Ειδικά για την ψηφιακή επεξεργασία (DSP) έχουν αναπτυχθεί τελευταία διατάξεις FPGA με ενσωματωμένες μονάδες DSP, που απλοποιούν τη σχεδίαση σύνθετων συστημάτων. Οι διατάξεις FPGA, με τις δυνατότητες για παράλληλη επεξεργασία που διαθέτουν, χρησιμοποιούνται πλέον ενεργά στον χώρο της ψηφιακής συμπίεσης, της αποκωδικοποίησης και της επεξεργασίας εικόνας. Συναρτήσεις με υψηλές υπολογιστικές απαιτήσεις, όπως φίλτρα συνέλιξης, ο διδιάστατος διακριτός μετασχηματισμός συνημιτόνου και ο διδιάστατος μετασχηματισμός Fourier έχουν βέλτιστες επιδόσεις όταν υλοποιούνται σε FPGAs.

Τέλος, πρέπει να αναφερθούν οι δυνατότητες για σχεδίαση ολοκληρωμένων συστημάτων πάνω σε ένα και μοναδικό FPGA ή με χρήση πολλών FPGAs ταυτόχρονα. Με τα σύγχρονα εργαλεία σχεδίασης και προγραμματισμού, είναι δυνατό να αναπτυχθεί σχετικά εύκολα ένα πλήρες σύστημα με ενσωματωμένο επεξεργαστή, μνήμη, περιφερειακές συσκευές κ. ά. Τέτοια συστήματα αναφέρονται ως Systems-on-a-programmable-chip (SOPC) και στηρίζονται στη χρήση πυρήνων (cores) πνευματικής περιουσίας (Intellectual Property-IP), που υλοποιούν τη σχεδίαση των βαθμίδων του συστήματος. Το λογισμικό *Quartus II* της εταιρίας Altera παρέχει τη δυνατότητα, μέσα από το εργαλείο *SOPC Builder*, να αναπτύξει κανείς συστήματα βασισμένα σε ενσωματωμένους (embedded) επεξεργαστές, όπως ο Nios II. Τέτοια συστήματα μπορούν να δεχτούν προγραμματισμό και σε ανώτερες γλώσσες, όπως η C.

4.2 Δομή των διατάξεων FPGA

4.2.1 Xilinx και Altera

Οι σύγχρονες διατάξεις FPGA ενσωματώνουν χαρακτηριστικά που τις κάνουν κατάλληλες για υλοποίηση αλγορίθμων επεξεργασίας ψηφιακού σήματος. Τέτοια χαρακτηριστικά είναι η ενσωμάτωση λογικής για γρήγορη παραγωγή κρατούμενου (fast-carry) σε 32-bit αθροιστές, με συχνότητες που ξεπερνούν τα 300MHz, ενσωματωμένοι πολλαπλασιαστές 18x18 bit και μεγάλες βαθμίδες ενσωματωμένης μνήμης.

Οι διατάξεις FPGA που χρησιμοποιούνται για εφαρμογές επεξεργασίας σήματος παράγονται από διάφορους κατασκευαστές (Xilinx, Altera, AMD, Actel, Cypress). Προκειμένου να παρουσιάσουμε τη βασική δομή, την ορολογία και τα υποσυστήματα αυτών

των διατάξεων, στα οποία θα αναφερόμαστε στη συνέχεια, θα περιοριστούμε σε δύο βασικές και αντίστοιχες οικογένειες, τη Spartan-3 της Xilinx και τη Cyclone II της Altera. Οι εταιρίες Xilinx και Altera, εξάλλου, καλύπτουν με τα προϊόντα τους το μεγαλύτερο ποσοστό της αγοράς των FPGAs. Η δομή των διατάξεων των εταιριών Xilinx και Altera διαφέρουν σε επιμέρους χαρακτηριστικά, που με συντομία παρατίθενται στις επόμενες παραγράφους.

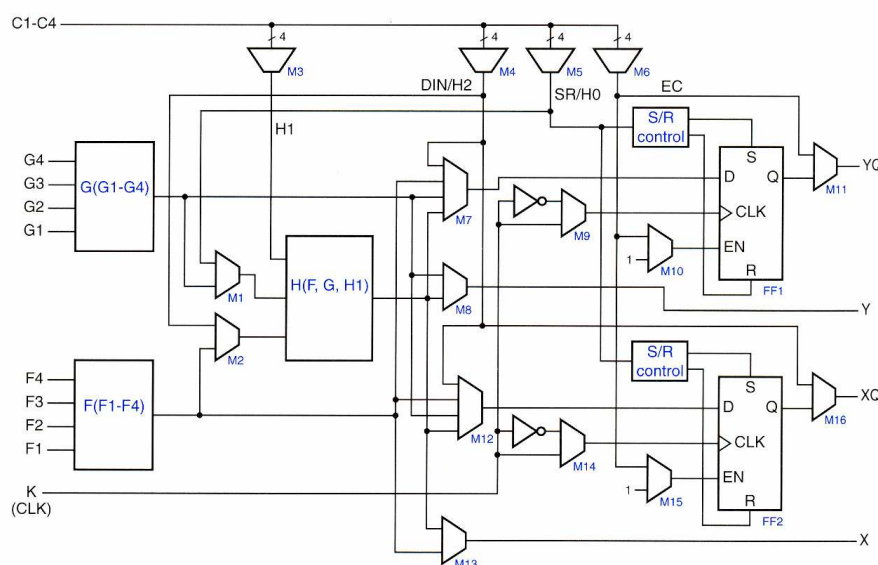
4.2.2 Η οικογένεια Spartan-3 της Xilinx

Η βασική δομή ενός κυκλώματος FPGA, που στηρίζεται σε τεχνολογία προγραμματισμού SRAM, είναι μια δομή πίνακα. Τα λογικά στοιχεία κατανέμονται σε έναν διδιάστατο πίνακα από λογικά στοιχεία, που μπορούν να διασυνδεθούν με οριζόντια και κατακόρυφα κανάλια διασυνδέσεων.

Οι διατάξεις της εταιρίας Xilinx στηρίζονται στη βασική βαθμίδα της πρώιμης οικογένειας XC4000. Οι νεώτερες οικογένειες ονομάζονται Spartan και Virtex.

Η στοιχειώδης μονάδα λογικής μιας διάταξης FPGA είναι ο πίνακας αναφοράς (Look-up table-LUT) τεσσάρων εισόδων και μιας εξόδου και ο καταχωρητής (flip-flop). Οι διαμορφούμενες βαθμίδες των νεότερων οικογενειών της Xilinx, όπως οι διατάξεις Spartan-3, αποτελούνται από λογικά στοιχεία που ονομάζονται “slices”, και οι οποίες διαθέτουν τη βασική λογική του πίνακα αναφοράς και του καταχωρητή (flip-flop) εις διπλούν. Το βασικό slice που χρησιμοποιείται στην οικογένεια Spartan-3 φαίνεται στο σχήμα 4.5. Εκτός από τους δύο πίνακες αναφοράς 4:1, το slice περιέχει έναν τρίτο πίνακα LUT τριών εισόδων και μιας εξόδου, δύο flip-flops, αφιερωμένη λογική για τη γρήγορη παραγωγή κρατούμενου και έναν αριθμό από καταναμημένα σήματα ελέγχου.

Στην οικογένεια Spartan-3 τέσσερα slices συνδυάζονται σε μια μεγαλύτερη βαθμίδα, που ονομάζεται Βαθμίδα Διαμορφούμενης Λογικής (Configurable Logic Block-CLB). Κάθε CLB περιέχει οκτώ πίνακες αναφοράς (LUTs) 4:1 και οκτώ flip-flops. Κάθε πίνακας αναφοράς σε ένα slice μπορεί να χρησιμοποιηθεί ως μνήμη RAM ή ROM 16x1.



Σχήμα 4.5 Η βαθμίδα λογικής (slice), που χρησιμοποιείται στην οικογένεια Spartan-3 της Xilinx.

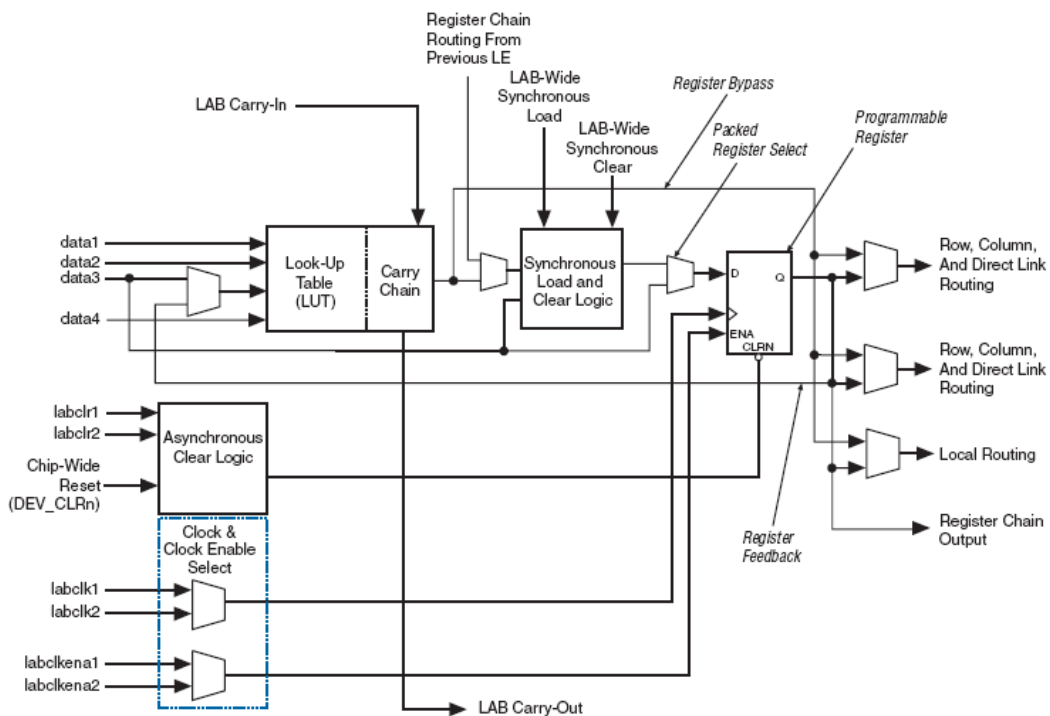
Ο πίνακας διασυνδέσεων επιτρέπει δρομολόγηση διαφόρων αποστάσεων, από κοντινές διασυνδέσεις που ενώνουν γειτονικά CLBs, μέχρι μεγάλου μήκους που καλύπτουν όλο το τσιπ.

Οι διατάξεις της οικογένειας Spartan-3 περιλαμβάνουν επίσης μεγάλες βαθμίδες μνήμης, που κάθε μια περιέχει 18432 bits, οι οποίες μπορούν να χρησιμοποιηθούν ως RAM ή ROM απλής ή διπλής θύρας (single ή dual port). Άλλα ενδιαφέροντα χαρακτηριστικά είναι η ύπαρξη γρήγορων πολλαπλασιαστών 18x18 bits, και μέχρι τέσσερα διαφορετικά δίκτυα χρονισμού, τα οποία επιτρέπουν να υλοποιούνται διαφορετικά κυκλώματα, που το καθένα εκτελείται με διαφορετική συχνότητα ρολογιού.

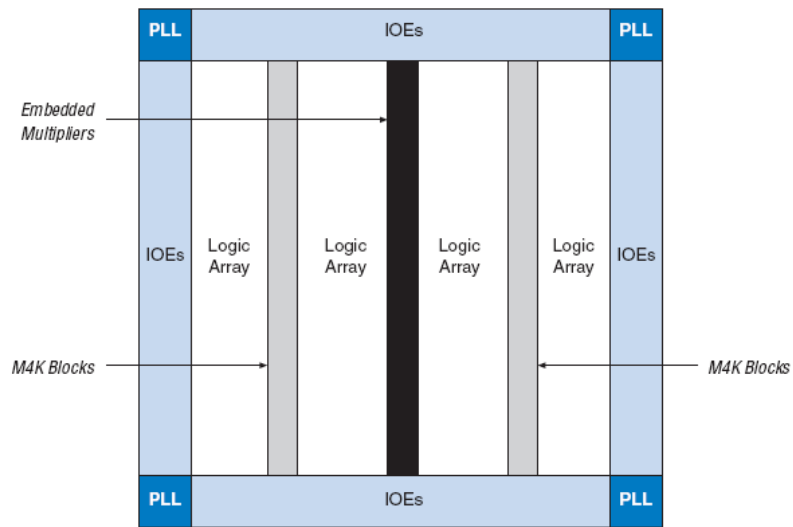
4.2.3 Η οικογένεια Cyclone II της Altera

Οι διατάξεις FPGA της Altera βασίζονται στις λογικές βαθμίδες της οικογένειας FLEX10K. Οι νεώτερες οικογένειες είναι η υψηλών επιδόσεων οικογένεια Stratix και η χαμηλού κόστους οικογένεια Cyclone. Παρακάτω δίνονται ορισμένα γενικά στοιχεία για τις διατάξεις της Altera και παρουσιάζονται ειδικότερα στοιχεία για τις διατάξεις της οικογένειας Cyclone II, που χρησιμοποιήθηκαν σε όλες τις υλοποιήσεις που παρουσιάζονται στα επόμενα.

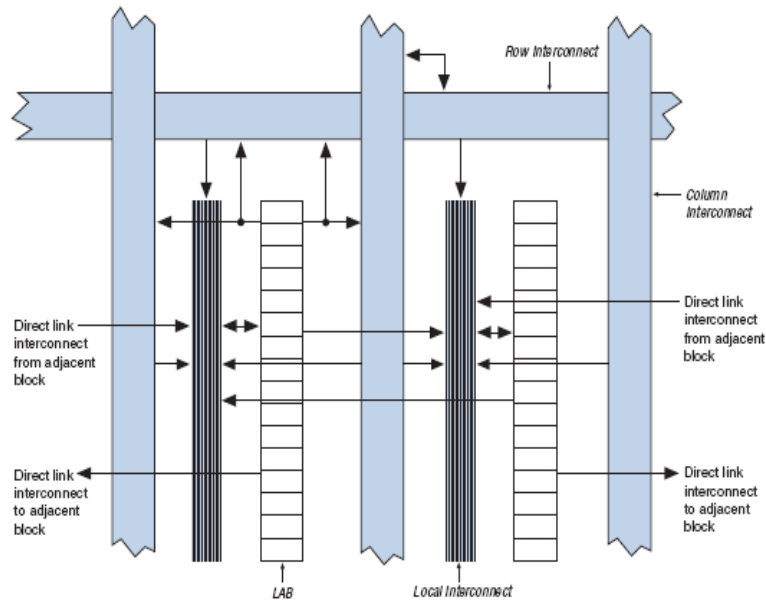
Η βασική λογική βαθμίδα των διατάξεων της Altera ονομάζεται λογικό στοιχείο (Logic element-LE) και φαίνεται στο σχήμα 4.6. Αποτελείται από έναν πίνακα αναφοράς (LUT) τεσσάρων εισόδων-μιας εξόδου, ένα κύταρο μνήμης (flip-flop) και λογική γρήγορης παραγωγής κρατουμένου (fast-carry logic). Δεκαέξι λογικά στοιχεία αποτελούν μια βαθμίδα λογικών διατάξεων (Logic Array Block - LAB), αντίστοιχα με τη διαμορφούμενη λογική βαθμίδα (CLB)



Σχήμα 4.6 Δομή του λογικού στοιχείου (Logic element) των διατάξεων Cyclone II.

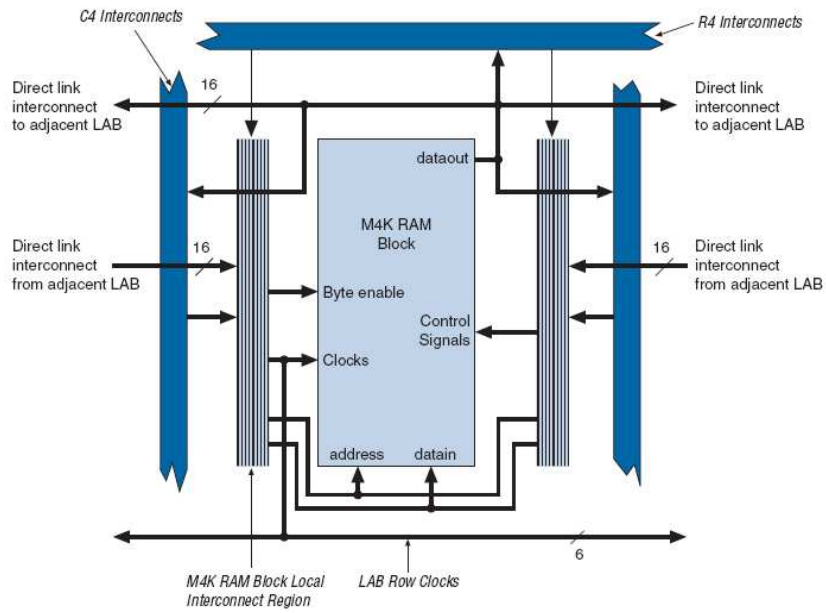


(α)

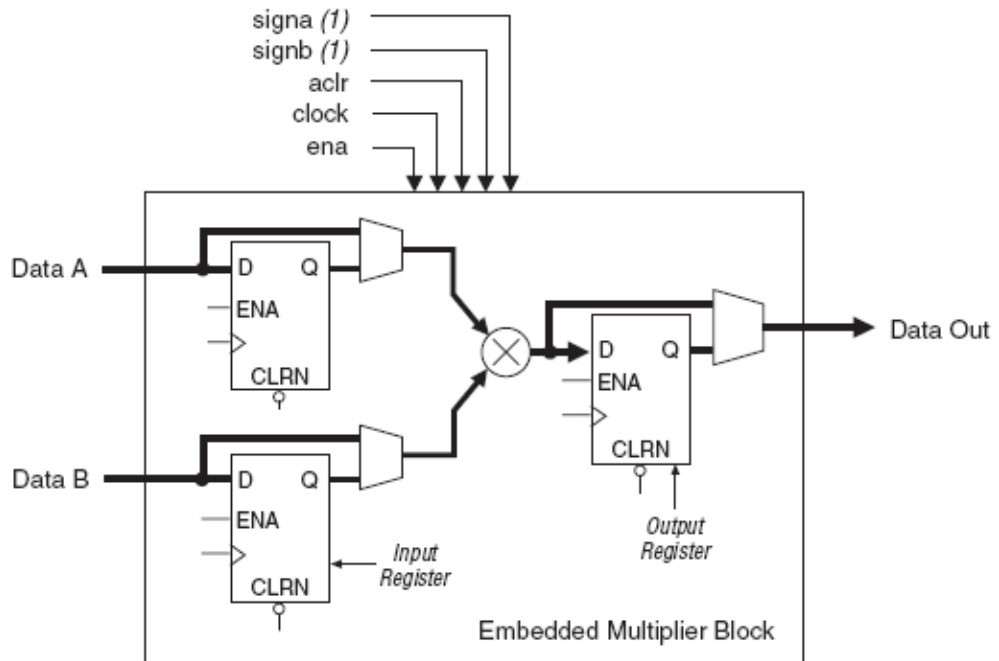


Σχήμα 4.7 (α) Γενική δομή της διάταξης Cyclone II (β) Δομή βαθμίδας λογικής διάταξης (LAB) [79]

των διατάξεων της Xilinx. Η γενική δομή της διάταξης Cyclone II φαίνεται στο σχήμα 4.7 (α), η οποία εκτός από τις βαθμίδες λογικών διατάξεων περιλαμβάνει συστήματα χρονισμού (PLLs), ενσωματωμένες βαθμίδες μνήμης και ενσωματωμένους πολλαπλασιαστές. Η δομή των βαθμίδων LAB φαίνεται στο σχήμα 4.7 (β). Στο σχήμα αυτό εμφανίζονται οι τοπικές (local) και οι γενικές (global) διασυνδέσεις ανάμεσα στις λογικές βαθμίδες.



(α)



(β)

Σχήμα 4.8 (α) Βαθμίδα μνήμης M4K και διασυνδέσεις (β) Βαθμίδα ενσωματωμένου πολλαπλασιαστή.

ΠΙΝΑΚΑΣ 4.1

Χαρακτηριστικά του Cyclone II EP2C35F672	
<i>Χαρακτηριστικό</i>	<i>Ποσότητα</i>
Ενσωματωμένοι 18x18 πολλαπλασιαστές	35
Λογικά Στοιχεία(LE's)	33.216
M4K RAM blocks(4Kbits+512 parity bits)	105
PLL's	4 PLL's
Συνολικά RAM bits	483.840
Ακροδέκτες I/O για τον χρήστη	475

Ο διάδρομος διασυνδέσεων αποτελείται από γραμμές και στήλες. Σε κάθε γραμμή αναλογεί τουλάχιστον ένας πολλαπλασιαστής 18x18 bit και μια βαθμίδα ενσωματωμένης μνήμης τύπου M4K. Κάθε βαθμίδα M4K μπορεί να διαμορφωθεί ως 27x32, 28x16,..., 4096x1 RAM ή ROM και διαθέτει επιπλέον 512 parity bits.

Στον πίνακα 4.1 παρουσιάζονται οι πόροι της διάταξης Cyclone II 2C35F672. Τα 33216 λογικά στοιχεία της διάταξης είναι οργανωμένα σε 2076 LABs, τα οποία διατάσσονται σε 35 γραμμές και 60 στήλες. Τρεις στήλες της διάταξης είναι αφιερωμένες σε βαθμίδες 4Kbit ενσωματωμένης μνήμης (M4K), που η κάθε μια έχει ύψος όσο ένα LAB. Συνολικά, δηλαδή, η διάταξη περιέχει $3 \times 35 = 105$ M4Ks. Η δομή και οι διασυνδέσεις μιας βαθμίδας ενσωματωμένης μνήμης φαίνονται στο σχήμα 4.8 (α). Ο συνολικός αριθμός των ενσωματωμένων πολλαπλασιαστών 18x18 bits είναι 35 ή 70 πολλαπλασιαστές του τύπου 9x9 bit. Η δομή των ενσωματωμένων πολλαπλασιαστών φαίνεται στο σχήμα 4.8 (β).