**ΤΕΙ ΚΕΝΤΡΙΚΗΣ ΜΑΚΕΔΟΝΙΑΣ**

**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ Τ.Ε.**

ΤΟΜΕΑΣ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΒΙΟΜΗΧΑΝΙΚΩΝ ΕΦΑΡΜΟΓΩΝ

ΕΞΕΤΑΣΕΙΣ ΠΕΡΙΟΔΟΥ ΙΟΥΝΙΟΥ ΣΤΟ ΜΑΘΗΜΑ

ΠΡΟΗΓΜΕΝΑ ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

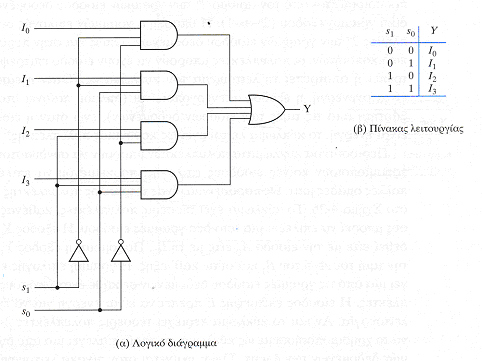
**ΟΜΑΔΑ Β**

**Θέμα 1**

Α. Να γράψετε κώδικα σε γλώσσα VHDL για να υλοποιήσετε την παρακάτω λογική συνάρτηση τριών μεταβλητών εισόδου, σε προγραμματιζόμενη λογική διάταξη. (Μονάδες 1,5)

|  |  |  |  |
| --- | --- | --- | --- |
| **C** | **Β** | **Α** | **Y** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

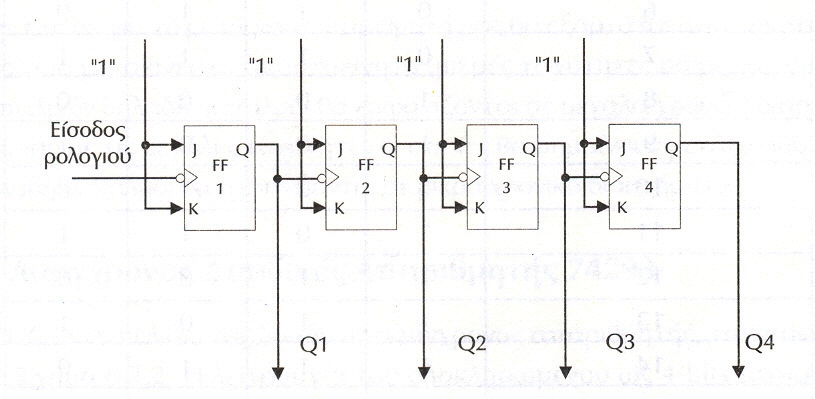
Β. Να αναγνωρίσετε το παρακάτω κύκλωμα και να γράψετε κώδικα σε VHDL που να το υλοποιεί (Μονάδες 1,5):



Γ. Να σχεδιάσετε σε γλώσσα VHDL κύκλωμα συγκριτή μη προσημασμένων αριθμών 4-bit (Μονάδες 1,5).

**Θέμα 2**

Α. Να αναγνωρίσετε με ακρίβεια τη λειτουργία του παρακάτω κυκλώματος (Μον. 1).



Β. Να γράψετε κώδικα VHDL που να υλοποιεί την παραπάνω λειτουργία σε προγραμματιζόμενη λογική διάταξη (Μονάδες 2).

**Θέμα 3**

1. Να περιγράψετε τη λειτουργία και να δώσετε το κυκλωματικό σύμβολο του απομονωτή τριών καταστάσεων (Μονάδα 0,5).
2. Σε τι διαφέρει η μακροκυψελίδα διάταξης CPLD από το λογικό κελί διάταξης FPGA (Μον. 1).
3. Να σχεδιάσετε το γενικό διάγραμμα μνήμης ROM με τρανζίστορ MOSFET (Μον. 1).